

NEURAL NETWORK AND CIRCUIT THEREFOR

Publication number: JP7262157

Publication date: 1995-10-13

Inventor: MITSUGI SHIGERU

Applicant: KUMAMOTO TECHNOPOLIS FOUND

Classification:

- international: G06G7/60; G06F15/18; G06N3/06; G06G7/00;
G06F15/18; G06N3/00; (IPC1-7): G06F15/18; G06G7/60

- European:

Application number: JP19940072745 19940317

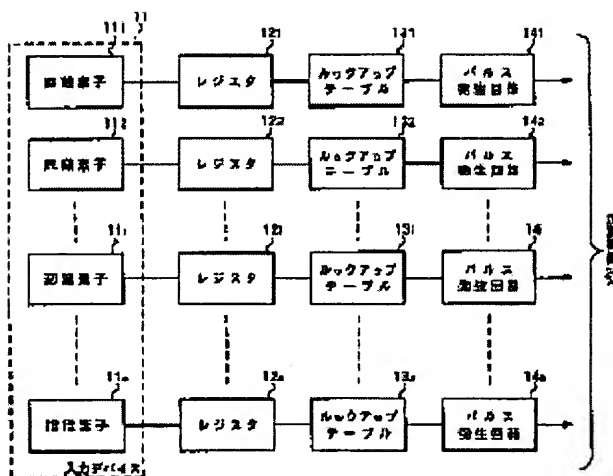
Priority number(s): JP19940072745 19940317

Report a data error here

Abstract of JP7262157

PURPOSE: To provide the neural network and the integrated circuit for this network which secure a high operation precision and have a small circuit scale and can be highly integrated by delaying a signal pulse to execute the multiplication of synapse coupling load.

CONSTITUTION: Data inputted to a neuron model is converted from a binary expression to an expression of the pulse interval between a reference pulse and the signal pulse by pulse generating circuits 141 to 14n after being subjected to logarithmic conversion by look-up tables 131 to 13n. Next, the signal pulse is delayed by a synapse coupling operation part to execute the multiplication of synapse coupling load to data inputted to the neuron model. Thereafter, data multiplied by the synapse coupling load is converted from the expression of the pulse interval between the reference pulse and the signal pulse to a binary expression and is subjected to exponential conversion by look-up tables and is inputted to the neuron model.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-262157

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

G 0 6 F 15/18

G 0 6 G 7/60

識別記号

5 2 0 K

庁内整理番号

9071-5L

F I

技術表示箇所

審査請求 未請求 請求項の数10 F D (全 22 頁)

(21) 出願番号

特願平6-72745

(22) 出願日

平成6年(1994)3月17日

(71) 出願人 591023158

財団法人熊本テクノポリス財団

熊本県上益城郡益城町大字田原2081番地10

(72) 発明者 身次 茂

熊本県上益城郡益城町大字田原2081番地10

財団法人 熊本テクノポリス財団 電子

応用機械技術研究所内

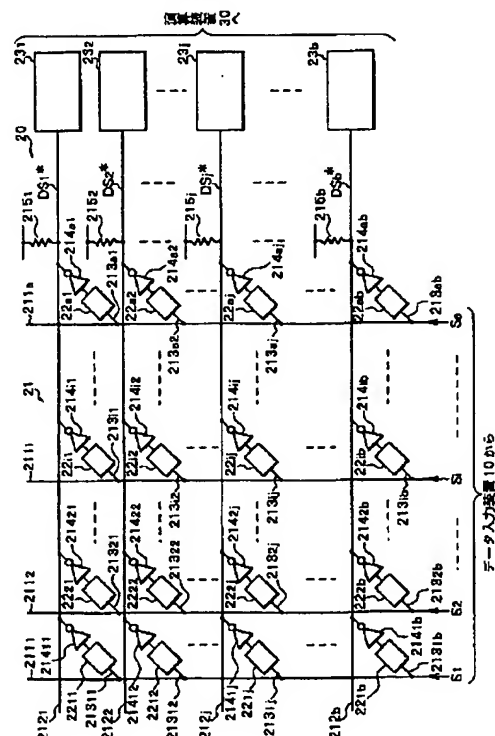
(74) 代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 ニューラルネットワークおよびそのための回路

(57) 【要約】

【目的】 高い演算精度を確保しつつ、回路規模が小さく高集積化が可能なニューラルネットワークおよびそのための集積回路を提供する。

【構成】 ルックアップテーブル13によって、ニューロンモデルに対して入力するデータを対数変換したのち、そのデータを、パルス発生回路14によって基準パルスと信号パルスとのパルス間隔で表す。次いで、シナプス結合演算部22によって、信号パルスを遅延させ、ニューロンモデルに対して入力するデータへのシナプス結合荷重Wの乗算を実行する。そののち、カウンタ2311によって、基準パルスと信号パルスとのパルス間隔により表されたデータを2進数に変換し、ルックアップテーブル2312によって、指数変換して、ニューロンモデルに入力する。



1

【特許請求の範囲】

【請求項1】 デジタル回路によって形成されたニューロンモデルの結合により構築され、前記ニューロンモデルにそれぞれ入力された少なくとも1以上のデータを前記各ニューロンモデルにおいて加算または減算ののちシグモイド関数変換をしてなるニューラルネットワークにおいて、

前記少なくとも1つのニューロンモデルに対して入力する2進数により表現されたデータを対数変換するための少なくとも1つの対数変換手段と、

この対数変換手段により変換したデータを2進数による表現から基準パルスと信号パルスとのパルス間隔による表現に変換するための少なくとも1つのパルス発生手段と、

前記ニューロンモデルに対して入力するデータへのシナプス結合荷重の乗算を前記パルス発生手段により発生された信号パルスを遅延させることにより実現するための少なくとも1つのシナプス結合演算手段と、

このシナプス結合演算手段から出力されたデータを信号パルスと前記基準パルスとのパルス間隔による表現から2進数による表現に変換するための少なくとも1つの2進数変換手段と、

この2進数変換手段により変換したデータを指数変換するための少なくとも1つの指数変換手段と、を備えたことを特徴とするニューラルネットワーク。

【請求項2】 前記シナプス結合演算手段が、信号パルスを遅延させるための遅延素子を備えたことを特徴とする請求項1記載のニューラルネットワーク。

【請求項3】 前記シナプス結合演算手段が、更に、シナプス結合荷重がゼロのとき信号パルスを出力しないようにするための開閉スイッチを備えたことを特徴とする請求項2記載のニューラルネットワーク。

【請求項4】 少なくとも1つのパルス入力端と、少なくとも1つの信号パルス出力端と、前記パルス入力端と前記信号パルス出力端とをそれぞれ互いに接続するための配線と、

前記パルス入力端と前記信号パルス出力端との間にそれぞれ1つずつ挿入されて前記配線に対し直列に接続されており、ニューロンモデルへ入力するデータに対するシナプス結合荷重の乗算を信号パルスを遅延させることにより実現するための少なくとも1つのシナプス結合演算手段とを備えたことを特徴とするシナプス結合演算回路。

【請求項5】 前記配線が、一端部が前記パルス入力端に1つずつ接続された少なくとも1つの入力ラインと、一端部が前記信号パルス出力端に1つずつ接続されており、少なくとも1以上の出力を1つにまとめて出力するための少なくとも1つのデータバスラインと、前記シナプス結合演算手段が直列に挿入されており、前

2

記入ラインと前記データバスラインとをそれぞれ接続するための少なくとも1つの接続ラインとを備えたことを特徴とする請求項4記載のシナプス結合演算回路。

【請求項6】 前記配線が、前記シナプス結合演算手段と前記データバスラインとの間に挿入されており、前記接続ラインに対して直列に接続されたオープンコレクタ出力の少なくとも1つのインバータを備えたことを特徴とする請求項5記載のシナプス結合演算回路。

【請求項7】 前記シナプス結合演算手段が、信号パルスを遅延させるための遅延素子を備えたことを特徴とする請求項4ないし請求項6のいずれか1つに記載のシナプス結合演算回路。

【請求項8】 前記シナプス結合演算手段が、更に、シナプス結合荷重がゼロのとき信号パルスを出力しないようにするための開閉スイッチを備えたことを特徴とする請求項7記載のシナプス結合演算回路。

【請求項9】 信号パルスと基準パルスとのパルス間隔により表現された入力データを2進数で表現するための少なくとも1つの2進数変換手段と、

この2進数変換手段により変換したデータを指数変換するための少なくとも1つの指数変換手段と、

この指数変換手段により変換したデータを順次加算または減算ののちシグモイド関数変換を行うための少なくとも1つのニューロンモデルと、

このニューロンモデルにより変換したデータを対数変換するための少なくとも1つの対数変換手段と、

この対数変換手段により変換したデータを基準パルスと信号パルスとのパルス間隔で表現するための少なくとも1つのパルス発生手段とを備えたことを特徴とするニューロン演算回路。

【請求項10】 請求項4ないし請求項8のいずれか1つに記載のシナプス結合演算回路と、

請求項9記載のニューロン演算回路とを備えてなることを特徴とするニューラルネットワークのための回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル回路によって形成された複数のニューロンモデルの結合によりネットワークが構築されてなるニューラルネットワークおよびそのための回路に関する。

【0002】

【従来の技術】 従来、この種のニューラルネットワークとしては、ニューロンモデルへの入力データおよび出力データを2進数により表現しておりシナプス結合荷重の乗算を乗積器により行っていた。

【0003】

【発明が解決しようとする課題】 しかしながら、このニューラルネットワークは、ニューロンモデルへの入力データおよび出力データを2進数により表現しかつシナプス結合荷重の乗算を乗積器により行っていたので、演算

精度が高い反面、回路規模が大きいという問題点を有していた。

【0004】また、ニューラルネットワークには、ディジタル回路によるもの以外にも、アナログ回路によるもの、光アナログ回路によるものまたはハードウェアではなくソフトウェアによるものがある。しかしながら、アナログ回路によるニューラルネットワークは、ニューロンモデルへの入力信号および出力信号をアナログ電圧により表現するので、回路規模が小さい反面、演算精度が低くシナプス結合荷重の変更も困難であるという問題点を有している。また、光アナログ回路によるニューラルネットワークは、ニューロンモデルへの入力信号および出力信号を光により表現するので、集光拡散や非干渉性などの光の特性により操作性を良くできる反面、アナログ回路と同様に演算精度が低いという問題点を有している。更に、ソフトウェアによるニューラルネットワークは、上述のハードウェアによるものの問題点を解決できる反面、処理速度が遅いという問題点を有している。

【0005】本発明はかかる問題点に鑑みてなされたもので、その目的は、高い演算精度を確保しつつ、回路規模が小さく高集積化が可能であり、加えて演算速度も速く、更にシナプス結合荷重の変更も容易なニューラルネットワークおよびそのための回路を提供することにある。

【0006】

【課題を解決するための手段】請求項1記載のニューラルネットワークは、ディジタル回路によって形成されたニューロンモデルの結合により構築され、前記ニューロンモデルにそれぞれ入力された少なくとも1以上のデータを前記各ニューロンモデルにおいて加算または減算ののちシグモイド関数変換をしてなるニューラルネットワークにおいて、前記少なくとも1つのニューロンモデルに対して入力する2進数により表現されたデータを対数変換するための少なくとも1つの対数変換手段と、この対数変換手段により変換したデータを2進数による表現から基準パルスと信号パルスとのパルス間隔による表現に変換するための少なくとも1つのパルス発生手段と、前記ニューロンモデルに対して入力するデータへのシナプス結合荷重の乗算を前記パルス発生手段により発生された信号パルスを遅延させることにより実現するための少なくとも1つのシナプス結合演算手段と、このシナプス結合演算手段から出力されたデータを信号パルスと前記基準パルスとのパルス間隔による表現から2進数による表現に変換するための少なくとも1つの2進数変換手段と、この2進数変換手段により変換したデータを指数変換するための少なくとも1つの指数変換手段とを備えている。

【0007】このニューラルネットワークでは、対数変換手段によって、ニューロンモデルに対して入力するデータを対数変換したのち、そのデータを、パルス発生手

段によって2進数による表現から基準パルスと信号パルスとのパルス間隔による表現に変換する。次いで、シナプス結合演算手段によって、信号パルスを遅延させ、ニューロンモデルに対して入力するデータへのシナプス結合荷重の乗算を実行する。そののち、2進数変換手段によって、シナプス結合荷重の乗算されたデータを基準パルスと信号パルスとのパルス間隔による表現から2進数による表現に変換し、指数変換手段によって、指数変換して、ニューロンモデルに入力する。

10 【0008】請求項2記載のニューラルネットワークは、請求項1記載のものにおいて、前記シナプス結合演算手段が、信号パルスを遅延させるための遅延素子を備えている。

【0009】このニューラルネットワークでは、遅延素子によって、信号パルスを遅延させる。

20 【0010】請求項3記載のニューラルネットワークは、請求項2記載のものにおいて、前記シナプス結合演算手段が、更に、シナプス結合荷重がゼロのとき信号パルスを出力しないようにするための開閉スイッチを備えている。

【0011】このニューラルネットワークでは、開閉スイッチによって、シナプス結合荷重がゼロのとき信号パルスを出力しないようにする。

30 【0012】請求項4記載のシナプス結合演算回路は、少なくとも1つのパルス入力端と、少なくとも1つの信号パルス出力端と、前記パルス入力端と前記信号パルス出力端とをそれぞれ互いに接続するための配線と、前記パルス入力端と前記信号パルス出力端との間にそれぞれ1つずつ挿入されて前記配線に対し直列に接続されており、ニューロンモデルへ入力するデータに対するシナプス結合荷重の乗算を信号パルスを遅延させることにより実現するための少なくとも1つのシナプス結合演算手段とを備えている。

【0013】このシナプス結合演算回路では、配線に接続されたシナプス結合演算手段によって、各パルス入力端に入力された信号パルスのそれぞれを遅延させ、各信号パルス出力端にそれぞれ出力する。

40 【0014】請求項5記載のシナプス結合演算回路は、請求項4記載のものにおいて、前記配線が、一端部が前記パルス入力端に1つずつ接続された少なくとも1つの入力ラインと、一端部が前記信号パルス出力端に1つずつ接続されており、少なくとも1以上の出力を1つにまとめて出力するための少なくとも1つのデータバスラインと、前記シナプス結合演算手段が直列に挿入されており、前記入力ラインと前記データバスラインとをそれぞれ接続するための少なくとも1つの接続ラインとを備えている。

50 【0015】このシナプス結合演算回路では、各入力ラインおよび各接続ラインによって、各パルス入力端に入力された信号パルスを各入力ラインに対して接続された

5

各シナプス結合演算手段にそれぞれ入力する。また、各接続ラインおよび各データバスラインによって、各データバスラインに対して接続された各シナプス結合演算手段により遅延された信号パルス各信号パルス出力端にそれぞれ出力する。

【0016】請求項6記載のシナプス結合演算回路は、請求項5記載のものにおいて、前記配線が、前記シナプス結合演算手段と前記データバスラインとの間に挿入されており、前記接続ラインに対して直列に接続されたオープンコレクタ出力の少なくとも1つのインバータを更に備えている。

【0017】このシナプス結合演算回路では、オープンコレクタ出力のインバータによって、少なくとも1以上のシナプス結合演算手段の信号パルスをデータバスラインにまとめて出力端に出力する。

【0018】請求項7記載のシナプス結合演算回路は、請求項4ないし請求項6のいずれか1つに記載のものにおいて、前記シナプス結合演算手段が、信号パルスを遅延させるための遅延素子を備えている。

【0019】このシナプス結合演算回路では、遅延素子によって、信号パルスを遅延させる。

【0020】請求項8記載のシナプス結合演算回路は、請求項7記載のものにおいて、前記シナプス結合演算手段が、更に、シナプス結合荷重がゼロのとき信号パルスを出力しないようにするための開閉スイッチを備えている。

【0021】このシナプス結合演算回路では、開閉スイッチによって、シナプス結合荷重がゼロのとき信号パルスを出力しないようにする。

【0022】請求項9記載のニューロン演算回路は、信号パルスと基準パルスとのパルス間隔により表現された入力データを2進数で表現するための少なくとも1つの2進数変換手段と、この2進数変換手段により変換したデータを指数変換するための少なくとも1つの指数変換手段と、この指数変換手段により変換したデータを順次加算または減算したのちシグモイド関数変換を行うための少なくとも1つのニューロンモデルと、このニューロンモデルにより変換したデータを対数変換するための少なくとも1つの対数変換手段と、この対数変換手段により変換したデータを基準パルスと信号パルスとのパルス間隔で表現するための少なくとも1つのパルス発生手段とを備えている。

【0023】このニューロン演算回路では、2進数変換手段によって、ニューロンモデルに入力するシナプス結合荷重の乗算されたデータを基準パルスと信号パルスとのパルス間隔による表現から2進数による表現に変換し、指数変換手段によって、指数変換したのち、ニューロンモデルに入力する。次いで、ニューロンモデルによって、データを順次加算または減算したのちシグモイド関数変換を行う。次いで、対数変換手段によって、ニュー

6

ロンモデルから出力するデータを対数変換したのち、そのデータを、パルス発生手段によって2進数による表現から基準パルスと信号パルスとのパルス間隔による表現に変換する。

【0024】請求項10記載のニューラルネットワークのための回路は、請求項4ないし請求項8のいずれか1つに記載のシナプス結合演算回路と、請求項9記載のニューロン演算回路とを備えている。

【0025】このニューラルネットワークのための回路では、シナプス結合演算手段によって、パルス入力端に入力された信号パルスを遅延させ、ニューロンモデルに入力するデータにシナプス結合荷重を乗算する。次いで、2進数変換手段によって、そのデータを基準パルスと信号パルスとのパルス間隔による表現から2進数による表現に変換したのち、指数変換手段によって、指数変換して、ニューロンモデルに入力する。そののち、ニューロンモデルによって、データを順次加算または減算したのちシグモイド関数変換を行う。更に次いで、対数変換手段によって、ニューロンモデルから出力するデータを対数変換したのち、パルス発生手段によって、2進数による表現から基準パルスと信号パルスとのパルス間隔による表現にそのデータを変換する。

【0026】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。なお、ここにおいては、本発明の理解を容易とする目的で、階層型のニューラルネットワークを構築した場合について説明する。

【0027】（第1の実施例の構成）

【0028】図1は、第1の実施例に係るニューラルネットワークの全体構成を表すものである。本実施例のニューラルネットワークは、データの入力層として働くデータ入力装置10と、このデータ入力装置10の出力を入力とし所定の演算を行う中間層としての演算装置20と、この演算装置20の出力を入力とし所定の演算を行う出力層としての演算装置30と、この演算装置30の出力を入力としそれを表示するための表示装置40と、これらデータ入力装置10、演算装置20、30および表示装置40をそれぞれ制御するための制御装置50とを備えている。

【0029】データ入力装置10の構成

【0030】図2は、データ入力装置10の簡単な構成を表すものである。データ入力装置10では、識別対象（例えば、アルファベットの1文字）を複数の部分（以下、a個として説明する）に分割し、それぞれの部分の情報をデータとして演算装置20に対し出力する。

【0031】データ入力装置10は、a個の情報をそれぞれ認識するためのa個の認識素子 $11_1, \dots, 11_2, \dots, 11_i, \dots, 11_a$ からなる入力デバイス11と、入力デバイス11により認識されたa個のデータを1つずつ保持するためのa個のレジスタ $12_1, \dots, 12_2, \dots,$

7

12₁, ..., 12_a と、レジスタ12₁, ..., 12_a, ..., 12₁, ..., 12_a に1つつつ対応されておりそれぞれに保持されたデータを対数変換するためのa個のルックアップテーブル13₁, ..., 13₂, ..., 13₁, ..., 13₁, ..., 13₁ に1つつつ対応されておりそれぞれの出力に応じて後述する基準パルスB₁₀ (図3参照) から遅延させた信号パルスS₁, ..., S₂, ..., S₁, ..., S_a を発生するためのa個のパルス発生回路14₁, ..., 14₂, ..., 14₁, ..., 14_a とを備えている。入力デバイス11には、識別対象に応じて、キーボードやテレビカメラなど適宜のデバイスが選択される。

【0032】なお、各認識素子11₁, ..., 11₂, ..., 11₁, ..., 11_a, 各レジスタ12₁, ..., 12₂, ..., 12₁, ..., 12_a, 各ルックアップテーブル13₁, ..., 13₂, ..., 13₁, ..., 13₁, および各パルス発生回路14₁, ..., 14₂, ..., 14₁, ..., 14_a は、それぞれ同一の構成を有しているので、便宜上ここでは、認識素子11₁ およびそれに対応するレジスタ12₁, ルックアップテーブル13₁ならびにパルス発生回路14₁ を

【0033】図3は、認識素子11₁, レジスタ12₁, ルックアップテーブル13₁ およびパルス発生回路14₁ の具体的構成を表すものである。認識素子11₁ は、制御装置50の指示に基づいて認識した情報を*

$$LT_{131} = 50 \times \log_{10} R_{121} + 26 \quad (R_{121} \neq 0)$$

$$LT_{131} = R_{121} \quad (R_{121} = 0)$$

LT₁₃₁ ; アドレスに格納するデータ

※【0036】

R₁₂₁ ; アドレス (レジスタ12₁ の保持データ)

※【表1】

アドレスR12 (レジスタ12の 保持データ)	アドレスに格納 するデータLT131	信号パルスSiと 基準パルスB10との パルス間隔Ti't
100	126	1t
⋮	⋮	⋮
10	76	51t
⋮	⋮	⋮
1	26	101t
0	0	(パルスの発生無し)

(各値は10進数にて表示)

【0037】パルス発生回路14₁ は、パルス発生手段としての機能を有し、データ入力装置10から出力するデータを2進数による表現から基準パルスB₁₀と信号パルスS₁とのパルス間隔(すなわち基準パルスB₁₀に対する信号パルスS₁の遅延時間)による表現に変換するためのものである。このパルス発生回路14₁ は、クロック端CLOCKのCLOCK信号の立ち上がりにより、アップカウントを開始する7ビットのアップカウンタUCNT₁₄₁を備えている。アップカウンタUCNT₁₄₁は、ルックアップテーブル13₁の出力端D₀ ~ D

8

* “0000000” から “1100100” (10進数では0から100) の2進数にデータ化する適宜の手段を有している。

【0034】ルックアップテーブル13₁ は、対数変換手段としての機能を有し、メモリRAM₁₃₁により構成されている。このメモリRAM₁₃₁は、レジスタ12₁の出力端Q₀ ~ Q₆にアドレス入力端AD₀ ~ AD₆が接続されており、アドレス入力端AD₀ ~ AD₆にアドレスR₀ ~ R₆が入力されると、アドレスR₀ ~ R₆に格納されたデータLT₀ ~ LT₆をデータ出力端D₀ ~ D₆から出力するものである。メモリRAM₁₃₁の各アドレスR₀ ~ R₆に格納されるデータLT₀ ~ LT₆は、アドレス(すなわちレジスタ12₁の保持データ)R₀ ~ R₆と式1に示す関係を有している。その対応関係を表1に示す(各値は10進数にて表示する)。式1において、レジスタ12₁の保持データR₀ ~ R₆を対数変換する理由は、後述するシナプス結合荷重W₁₁, W₁₂, ..., W₁₁, ..., W₁₆の乗算処理を加算処理に変換することにある。なお、式1では、パルス発生回路14₁で信号パルスS₁を出力する際に、基準パルスB₁₀との間隔(すなわち基準パルスB₁₀に対する遅延時間)T₁'t(tは遅延時間の1単位)が1t ~ 101tとなるようにその係数を定めている。

【0035】

【式1】

$$LT_{131} = 50 \times \log_{10} R_{121} + 26 \quad (R_{121} \neq 0)$$

$$LT_{131} = R_{121} \quad (R_{121} = 0)$$

※【0036】

※【表1】

からアップカウント開始時のカウント値LT₀ ~ LT₆が入力されるデータ端D₀ ~ D₆と、カウント値が“1111111”(10進数で127)になると桁上げ信号CARRYを出力する出力端CARRYとを有している。アップカウンタUCNT₁₄₁は、また、制御装置50からSET_UCNT信号が入力されるロード端LOADを有している。このSET_UCNT信号は、データ端D₀ ~ D₆へのカウント値LT₀ ~ LT₆の読み込みを指示する信号である。

【0038】パルス発生回路14₁は、また、AND1

141 を備えている。このAND 1141 は、アップカウンタUCNT141 の有効端ENABLEに出力端が接続されており、信号“1”を出力することによりアップカウンタUCNT141 のCLOCK信号を立ち上げアップカウントを開始させるためのものである。AND 1141 の第1の入力端には、AND 2141 の出力端が接続されている。AND 2141 は、ルックアップテーブル131 の出力LT₀ ~ LT₆ の負論理の論理積をとりLT₀ ~ LT₆ がすべて“0”のとき信号“0”を出力し、AND 1141 の出力を“0”とすることによりアップカウンタUCNT141 のカウント動作を無効とするためのものである。AND 1141 の第2の入力端には、フリップフロップFF141 の出力端Qが接続されている。フリップフロップFF141 は、制御装置50から入力端SETに基準パルスB₁₀が入力されると内部状態が“1”に設定され、OR141 から入力端CLEARに信号が入力されると内部状態が“0”に設定されるようになっている。OR141 は、第1の入力端にアップカウンタUCNT141 の出力端CARRYが、第2の入力端に制御装置50が接続されており、桁上げ信号CARRYおよびリセット信号RESETを通過させるようになっている。すなわち、フリップフロップFF141 は、基準パルスB₁₀が入力されると、AND 2141 の出力が“1”であることを条件に、アップカウンタUCNT141 のカウント動作を開始させ、またリセット信号RESETおよび桁上げ信号CARRYがOR141 を介して入力されると、アップカウンタUCNT141 のカウント動作を無効とするためのものである。

【0039】なお、データ入力装置10から出力するデータを基準パルスB₁₀と信号パルスS_i とのパルス間隔T_i ' tで表す理由は、後述するシナプス結合荷重W₁₁, W₁₂, ..., W_{1j}, ..., W_{1b}が信号パルスS_i の遅延時間T₁₁ t, T₁₂ t, ..., T_{1j} t, ..., T_{1b} tにより表されるので、その乗算（ここでは対数変換されているので加算）を容易とすることにある。また、信号パルスS_i と基準パルスB₁₀とのパルス間隔T_i ' tが0 tからでなく1 tとされているのは、後述のニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_b のフリップフロップFF₂₃₁₁₁, FF₂₃₁₁₂, ..., FF_{2311j}, ..., FF_{2311b}（図7参照）に基準パルスB₁₀と各信号パルスD S₁ ' , D S₂ ' , ..., D S_j ' , ..., D S_b ' とが同時に入力され、セットとクリアを同時に行う矛盾を回避するためである。

【0040】演算装置20の構成

【0041】図4は、演算装置20の具体的な構成を表すものである。演算装置20では、入力端S₁, S₂, ..., S_i, ..., S_a に対しデータ入力装置10から入力された信号パルスS₁, S₂, ..., S_i, ..., S_a を、複数のニューロン演算部（以下、b個として説明する）23₁, 23₂, ..., 23_j, ..., 23_b にそれぞれ分配し、各ニュー

ロン演算部23₁, 23₂, ..., 23_j, ..., 23_b で所定の演算をしたのちその結果を演算装置30に対して出力する。

【0042】演算装置20は、各入力端S₁, S₂, ..., S_i, ..., S_a とb個のニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_b の各入力端とをそれぞれ互いに接続するための配線21と、各入力端S₁, S₂, ..., S_i, ..., S_a と各ニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_b との間にそれぞれ挿入されたa×b個のシナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1b}; 22₂₁, 22₂₂, ..., 22_{2j}, ..., 22_{2b}; 22_{i1}, 22_{i2}, ..., 22_{ij}, ..., 22_{ib}; 22_{a1}, 22_{a2}, ..., 22_{aj}, ..., 22_{ab}と、所定のシナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1b}; 22₂₁, 22₂₂, ..., 22_{2j}, ..., 22_{2b}; 22_{i1}, 22_{i2}, ..., 22_{ij}, ..., 22_{ib}; 22_{a1}, 22_{a2}, ..., 22_{aj}, ..., 22_{ab}の出力を入力とし所定の演算を行うためのb個のニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_b とを備えている。各入力端S₁, S₂, ..., S_i, ..., S_a は、データ入力装置10の出力端V₁, V₂, ..., V_i, ..., V_a（すなわちアップカウンタUCNT1₁, UCNT1₂, ..., UCNT1_i, ..., UCNT1_aの各出力端）に1つずつ接続されている。

【0043】配線21は、一端部が各入力端S₁, S₂, ..., S_i, ..., S_a に1つずつ接続されたa本の入力ライン21₁₁, 21₁₂, ..., 21_{1i}, ..., 21_{1a}と、一端部がニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_b の入力端に1つずつ接続されたb本のデータバスライン21₂₁, 21₂₂, ..., 21_{2j}, ..., 21_{2b}とを備えている。各入力ライン21₁₁, 21₁₂, ..., 21_{1i}, ..., 21_{1a}は、各データバスライン21₂₁, 21₂₂, ..., 21_{2j}, ..., 21_{2b}に対しそれぞれ交差するように配設されている。この、各入力ライン21₁₁, 21₁₂, ..., 21_{1i}, ..., 21_{1a}は、それぞれ実質的に平行に配設されていることが好ましい。また、各データバスライン21₂₁, 21₂₂, ..., 21_{2j}, ..., 21_{2b}は、それぞれ実質的に平行に配設されていることが好ましい。更に、各入力ライン21₁₁, 21₁₂, ..., 21_{1i}, ..., 21_{1a}と各データバスライン21₂₁, 21₂₂, ..., 21_{2j}, ..., 21_{2b}とは、互いに格子状に交差していることが好ましい。

【0044】なお、各入力ライン21₁₁, 21₁₂, ..., 21_{1i}, ..., 21_{1a}と各データバスライン21₂₁, 21₂₂, ..., 21_{2j}, ..., 21_{2b}とは、それぞれ同一の構成により接続されているので、ここでは入力ライン21₁₁とデータバスライン21_{2j}との接続部分の構成を代表して説明する（i=1, 2, ..., a; j=1, 2, ..., b）。

【0045】入力ライン21₁₁とデータバスライン21_{2j}とは、その交差部近傍において接続ライン213

11により互いに接続されている。この接続ライン213_{ij}には、シナプス結合演算部22_{ij}が、直列に挿入されている。また、データバスライン212_iとシナプス結合演算部22_{ij}との間には、ワイヤードORを形成するためのオープンコレクタ出力のインバータ214_{ij}が、接続ライン213_{ij}に対し直列に挿入されている。従って、データバスライン212_iの適宜な位置には、データバスライン212_jに出力をする各インバータ214_{ij}、214_{2j}、…、214_{ij}、…、214_{ij}の共通負荷（すなわちプルアップ抵抗）215_jが接続されている。

【0046】図5は、各シナプス結合演算部22₁₁、22₁₂、…、22_{1j}、…、22_{1b}；22₂₁、22₂₂、…、22_{2j}、…、22_{2b}；22₃₁、22₃₂、…、22_{3j}、…、22_{3b}；22₄₁、22₄₂、…、22_{4j}、…、22_{4b}の構成を表すものである。なお、各シナプス結合演算部22₁₁、22₁₂、…、22_{1j}、…、22_{1b}；22₂₁、22₂₂、…、22_{2j}、…、22_{2b}；22₃₁、22₃₂、…、22_{3j}、…、22_{3b}は、それぞれ同一の構成を有しているので、便宜上ここでは、シナプス結合演算部_{ij}を代表して説明する。

【0047】シナプス結合演算部22_{ij}は、シナプス結合演算手段としての機能を有する。ここでは、データ入力装置10から入力された信号パルスS_iをシナプス結合荷重W_{ij}に対応した時間T_{ij}tだけ遅延させることにより、所定のシナプス結合荷重W_{ij}の乗算をする。このシナプス結合演算部22_{ij}は、シナプス結合荷重W_{ij}が0以外のときに信号パルスS_iを所定の時間T_{ij}tだけ遅延させるための遅延素子221_{ij}と、シナプス結合荷重*30

$$T_{ij} = -50 \times \log_{10} |W_{ij}| + 100 \quad (W_{ij} \neq 0)$$

$$T_{ij} = |W_{ij}| \quad (W_{ij} = 0)$$

【0050】開閉スイッチ222_{ij}は、接続ライン213_{ij}に対し直列に挿入されており、シナプス結合荷重W_{ij}が0のとき接続ライン213_{ij}を遮断し、シナプス結合荷重W_{ij}が0以外のとき接続ライン213_{ij}を接続するよう、制御装置50により制御されている。これは、シナプス結合荷重W_{ij}が0のときの遅延時間T_{ij}tを無限大とし、信号パルスD S_iをシナプス結合演算部22_{ij}の出力としてインバータ214_{ij}に向かって（すなわちニューロン演算部23_jに向かって）出力しないようにするためである。これにより、シナプス結合荷重W_{ij}が0のときの乗算を容易に実行できる。なお、シナプス結合演算部22_{ij}において信号パルスS_iを遅延する時間T_{ij}t（すなわち遅延素子221_{ij}と開閉スイッチ222_{ij}とにより遅延する時間）とシナプス結合荷重W_{ij}との対応関係を、表2に示す（各値は10進数にて表示する）。また、シナプス結合荷重W_{ij}に0を設定しない場合には、この開閉スイッチ222_{ij}は必要ない。

【0051】

*重W_{ij}が0のときに信号パルスS_iを無限時間遅延させるための開閉スイッチ222_{ij}とを備えている。すなわち、シナプス結合荷重W_{ij}は信号パルスS_iを遅延させる時間T_{ij}tにより表現されており、シナプス結合荷重W_{ij}の乗算は信号パルスS_iの遅延により実行されるようになっている。これにより、シナプス結合演算部22_{ij}のゲート数は、乗算器を用いて乗算を行う場合に比べ大幅に削減される。

【0048】遅延素子221_{ij}は、接続ライン213_{ij}に対し直列に挿入されている。遅延素子221_{ij}には、入力端INに入力された信号パルスS_iを設定端D₀～D₆に設定された時間T_{ij}tだけ遅延させて出力端OUTから出力するプログラマブル遅延素子が用いられる。これは、遅延時間T_{ij}tを学習により任意に変更可能とするためである。遅延時間T_{ij}tは、設定端D₀～D₆に遅延時間T_{ij}tの係数T_{ij}が制御装置50から入力されたのち書込端WTに書き込みパルスが制御装置50から入力されることにより設定されるようになっている。遅延時間T_{ij}tの係数T_{ij}は、シナプス結合荷重W_{ij}を対数変換したものであり、シナプス結合荷重W_{ij}と式2に示す関係を有している。式2において、シナプス結合荷重W_{ij}を対数変換する理由は、シナプス結合荷重W_{ij}の乗算処理を加算処理に変換することにある。また、シナプス結合荷重W_{ij}について絶対値をとっているのも、同一の理由による。なお、本実施例では、シナプス結合荷重W_{ij}を-100～100の間で設定し、遅延時間T_{ij}tが100t～0tとなるように、式2の係数を定めている。

【0049】

【式2】

【表2】

シナプス結合荷重 W _{ij}	遅延時間 T _{ij} t
-100	0t
⋮	⋮
-10	50t
⋮	⋮
-1	100t
0	∞ (無限大)
1	100t
⋮	⋮
10	50t
⋮	⋮
100	0t

(各値は10進数にて表示)

【0052】図6は、ニューロン演算部23₁, 23₂, ..., 23_a, ..., 23_i, ..., 23_bの簡単な構成を表すものである。なお、各ニューロン演算部23₁, 23₂, ..., 23_i, ..., 23_bは、それぞれ同一の構成を有しているので、便宜上ここでは、ニューロン演算部23_iを代表して説明する。

【0053】ニューロン演算部23_iでは、データバスライン212_iを介して入力された信号パルスDS_i・を順次加算または減算したのちしきい値を減算してから*

$$V_j' = g \left(\sum_{i=1}^{i=a} W_{ij} \times R_{12i} - h \right)$$

V_j' ; 演算結果 (対数変換していないニューロン演算部23_jの出力データ)

g ; シグモイド関数

R_{12i} ; データ入力装置10のレジスタ12_iの保持データ

h ; しきい値

【0055】ニューロン演算部23_iは、信号パルスDS_i・と基準パルスB₁₀とのパルス間隔T_i・tにより表現されたデータを指数変換するための変換回路231_iと、変換回路231_iの出力を順次加算または減算するための加減算回路232_iと、加減算回路232_iの演算結果に基づきシグモイド関数変換を行うためのシグモイド特性演算回路233_iと、シグモイド特性演算回路233_iの演算結果に応じてパルスを発生するためのパルス発生回路234_iとを備えている。すなわち、本実施例においては、加減算回路232_iとシグモイド特性演算回路233_iとによりニューロンモデルを実現している。

【0056】図7は、変換回路231_iの構成を表すものである。変換回路231_iは、信号パルスDS_i・と基準パルスB₁₀とのパルス間隔T_i・tにより表現されたデータを2進数による表現に変換する2進数変換手段としてのカウンタ2311_iと、カウンタ2311_iにより測定されたカウント値CNT₀~CNT₇を指数変換する指数変換手段としてのルックアップテーブル2312_iとを備えている。

【0057】カウンタ2311_iは、クロック端CLOCKのCLOCK信号の立ち上がりにより“11001001” (10進数では202) からダウンカウントを開始する8ビットのダウンカウンタDCNT_{2311i}を備えている。ダウンカウンタDCNT_{2311i}は、制御装置50からダウンカウント開始時のカウント値“11001001”が入力されるデータ端D₀~D₇と、カウント値CNT₀~CNT₇を出力するカウント出力端Q₀~Q₇とを有している。ダウンカウンタDCNT_{2311i}は、また、制御装置50からSET_DCNT信号が入力されるロード端LOADを有している。SET_DCNT信号は、データ端D₀~D₇への“11001001”の読み込みを指示する信号である。なお、ダウンカ

*その結果についてシグモイド関数変換をする。その演算式は、式3に示すとおりである。なお、信号パルスDS_i・は、W_{1j}×R_{12i} (i=1, 2, ..., a)を対数変換したものの絶対値を表しているので、式3のW_{1j}×R_{12i}の加算は信号パルスDS_i・を指数変換したものを順次加算または減算することにより達成される。

【0054】

【式3】

ウント開始時のカウント値“11001001”は、信号パルスDS_i・と基準パルスB₁₀とのパルス間隔T_i・tが最大201tであることに基いて定められている。

【0058】カウンタ2311_iは、また、ダウンカウンタDCNT_{2311i}のカウント有効端ENABLEに出力端Qが接続されており、信号“1”を出力することによりダウンカウンタDCNT_{2311i}のCLOCK信号を立ち上げ、信号“0”を出力することによりダウンカウントを停止させるフリップフロップFF_{2311i}を備えている。フリップフロップFF_{2311i}は、制御装置50から入力端SETに基準パルスB₁₀が入力されるとその内部状態が“1”に設定され、OR_{2311i}から入力端CLEARに信号が入力されると内部状態が“0”に設定されるようになっている。OR_{2311i}は、第1の入力端にデータバスライン212_iが、第2の入力端に制御装置50が、第3の入力端にダウンカウンタDCNT_{2311i}の出力端BORROWが接続されており、信号パルスDS_i・、リセット信号RESETおよび桁借り信号BORROWを通過させるようになっている。すなわち、フリップフロップFF_{2311i}は、基準パルスB₁₀が入力されると、ダウンカウンタDCNT_{2311i}のカウント動作を開始させ、信号パルスDS_i・、リセット信号RESETまたは桁借り信号BORROWがOR_{2311i}を介して入力されると、ダウンカウンタDCNT_{2311i}のカウント動作を無効とするためのものである。

【0059】信号パルスDS_i・と基準パルスB₁₀とのパルス間隔T_i・tと、ダウンカウンタDCNT_{2311i}のカウント値CNT₀~CNT₇との関係は、表3に示すとおりとなる (各値は10進数にて表示する)。

【0060】

【表3】

信号パルス DS_j^* と 基準パルス B_{10} との パルス間隔 T_j^*t	カウント値 CNT_{2311j} (ア ド レ ス)	アドレスに格納 するデータ LT_{2312j}
1t	201	10000
⋮	⋮	⋮
51t	151	1000
⋮	⋮	⋮
101t	101	100
⋮	⋮	⋮
151t	51	10
⋮	⋮	⋮
201t	1	1
無限大(信号パルスなし)	0	0

(各値は10進数にて表示)

【0061】ルックアップテーブル2312_jは、メモリRAM_{2312j}により構成されている。このメモリRAM_{2312j}は、ダウンカウンタDCNT_{2311j}のカウント出力端Q₀～Q₇にアドレス入力端AD₀～AD₇が接続されており、アドレス入力端AD₀～AD₇にアドレス(すなわちカウント値)CNT₀～CNT₇が入力されると、アドレスCNT₀～CNT₇に格納されたデータLT₀～LT₁₃をデータ出力端D₀～D₁₃から出力するものである。メモリRAM_{2312j}の各アドレスCNT₀～CNT₇に格納されるデータLT₀～LT₁₃は、カウント値CNT₀～CNT₇と式4に示す関係を有している。その対応関係を表3に表す。ここで指数変換を行

【0062】

【式4】

$$LT_{2312j} = 10^{(CNT_{2311j} - 1) / 50}$$

LT_{2312j} ; アドレスに格納するデータCNT_{2311j} ; アドレス

【0063】図8は、加減算回路232_jの構成を表すものである。加減算回路232_jは、一方の入力端A₀～A₁₃への入力または他方の入力端B₀～B₁₃への入力のいずれか一方を出力とするための選択回路2321_jと、一方の入力端A₀～A₁₃への入力を他方の入力端B₀～B₁₃への入力に対し加算または減算するための加減算器2322_jと、加減算器2322_jの出力を保持するためのレジスタ2323_jとを備えている。

【0064】選択回路2321_jは、入力端A₀～A₁₃への入力または入力端B₀～B₁₃への入力のいずれを出力とするかを選択するための選択端SELECTを有

している。この選択端SELECTは、制御装置50に接続されている。また、選択回路2321_jの一方の入力端A₀～A₁₃には、変換回路231_jの出力LT₀～LT₁₃が入力されるように変換回路231_jの出力端D₀～D₁₃が接続されている。選択回路2321_jの他方の入力端B₀～B₁₃には、制御装置50に記憶されたしきい値H₀～H₁₃が入力されるように制御装置50の出力端が接続されている。

【0065】加減算器2322_jは、入力端A₀～A₁₃への入力を入力端B₀～B₁₃への入力に対し加算するの減算するのかを指示するための制御端ADD/SUBを有している。この制御端ADD/SUBは、制御装置50に接続されており、シナプス結合荷重W_{1j}, W_{2j}, ..., W_{1j}, ..., W_{1j}が正の値のときは加算を指示し、負の値のときは減算を指示するように制御されている。また、加減算器2322_jの一方の入力端A₀～A₁₃には、選択回路2321_jの出力が入力されるよう選択回路2321_jの出力端Y₀～Y₁₃が接続されている。加減算器2322_jの他方の入力端B₀～B₁₃には、レジスタ2323_jの出力R₀～R₁₃が入力されるようレジスタ2323_jの出力端Q₀～Q₁₃が接続されている。なお、この加減算器2322_jは、14ビットのデータについてb回加算または減算をおこなうので、オーバーフローを生じないように、14+mビットが必要とされる。mは式5により求められる値である。

【0066】

$$【式5】 m = \log_2 b$$

【0067】レジスタ2323_jは、クリア端CLEARに信号CLR_REGが入力されると内部の保持データがクリアされ、書込端WTに信号WT_REGが入力されるとその時データ入力端D₀～D₁₃に入力されて

いるデータを内部に保持する記憶素子である。クリア端 CLEAR および書き込端 WT は、ともに制御装置 50 に接続されている。また、データ入力端 $D_0 \sim D_{13+n}$ は、加減算器 2322_j の出力端 $S_0 \sim S_{13+n}$ に接続されている。

【0068】図9は、シグモイド特性演算回路 233_j の構成を表すものである。シグモイド特性演算回路 233_j は、メモリ RAM_{233j} により構成されている。このメモリ RAM_{233j} は、加減算回路 232_j のレジスタ 2323_j の出力端 $Q_0 \sim Q_{13+n}$ にアドレス入力端 $AD_0 \sim AD_{13+n}$ が接続されており、アドレス入力端 $AD_0 \sim AD_{13+n}$ が接続されており、アドレス入力端 $AD_0 \sim AD_{13+n}$ にアドレス $R_0 \sim R_{13+n}$ が入力されると、そのアドレス $R_0 \sim R_{13+n}$ に格納されたデータ $D_0 \sim D_6$ をデータ出力端 $D_0 \sim D_6$ から出力するものである。メモリ RAM_{233j} の各アドレス $R_0 \sim R_{13+n}$ に格納されたデータ $D_0 \sim D_6$ は、アドレス（すなわちレジスタ 2323_j の保持データ） $R_0 \sim R_{13+n}$ 値と式6に示す関係を有している。

$$D_{233j} = 50 \times \log_{10} \{ g(R_{2323j}) \} + 26$$

$$= 50 \times \log_{10} [1 / \{1 + \exp(-R_{2323j})\}] + 26$$

$$D_{233j} = g(R_{2323j})$$

$$(g(R_{2323j}) \neq 0)$$

$$(g(R_{2323j}) = 0)$$

g ; シグモイド関数

D_{233j} ; アドレスに格納するデータ

R_{2323j} ; アドレス（但し下m桁は切り捨てる）

【0070】式6中の g は、シグモイド関数であり、図10に示す特性を有している。すなわち、シグモイド関数 g は、加減算回路 232_j のレジスタ 2323_j の保持データ $R_0 \sim R_{13+n}$ を 0～100 の間の適宜な値に変換することになる。また、レジスタ 2323_j の出力 $R_0 \sim R_{13+n}$ のうち $R_0 \sim R_{n-1}$ を使用しない理由は、演算精度に影響を与えることのない下位の桁の値を切り捨てることにより、演算を簡素化することにある。なお、シグモイド特性演算回路 233_j では、式6に示すとおり、対数変換も同時に行っており、対数変換手段としての機能も有している。これは、演算装置 20 がデータ入力装置 10 と同様に、基準パルス B_{20} に対して遅延させた信号パルス S_j により出力を行うためである。式6による対数変換は、データ入力装置 10 のルックアップテーブル 13_j の式1による対数変換と同一である。

【0071】図11は、パルス発生回路 234_j の構成を表すものである。パルス発生回路 234_j は、パルス発生手段としての機能を有し、シグモイド特性演算回路 233_j の出力値 $G_0 \sim G_6$ から “1111111”（10進数で127）までカウントアップを行い信号パルス S_j 出力するためのものである。その構成は、データ入力装置 10 のパルス発生回路 14_j と同一であるので、同一の構成要素については、添字を 234_j に変えた同一の符号を付して、その詳細な説明は省略する。

【0072】演算装置 30 の構成

【0073】図12は、演算装置 30 の構成を表すものである。演算装置 30 では、入力端 $S_1, S_2, \dots, S_j, \dots, S_b$ に対し演算装置 20 から入力された信号パルス $S_1, S_2, \dots, S_j, \dots, S_b$ を、複数のニューロン演算部（以下、 c 個として説明する） $33_1, 33_2, \dots, 33_k, \dots, 33_c$ にそれぞれ分配し、各ニューロン演算部 $33_1, 33_2, \dots, 33_k, \dots, 33_c$ で所定の演算をしたのちその結果を表示装置 40 に対して出力する。

【0069】式6

【0074】演算装置 30 は、演算装置 20 と同様に、各入力端 $S_1, S_2, \dots, S_j, \dots, S_b$ と c 個のニューロン演算部 $33_1, 33_2, \dots, 33_k, \dots, 33_c$ の各入力端とをそれぞれ互いに接続するための配線 31 と、各入力端 $S_1, S_2, \dots, S_j, \dots, S_b$ と各ニューロン演算部 $33_1, 33_2, \dots, 33_k, \dots, 33_c$ との間にそれぞれ挿入された $b \times c$ 個のシナプス結合演算部 $32_{11}, 32_{12}, \dots, 32_{1k}, \dots, 32_{1c}; 32_{21}, 32_{22}, \dots, 32_{2k}, \dots, 32_{2c}; 32_{j1}, 32_{j2}, \dots, 32_{jk}, \dots, 32_{jc}; 32_{b1}, 32_{b2}, \dots, 32_{bk}, \dots, 32_{bc}$ と、所定のシナプス結合演算部 $32_{11}, 32_{12}, \dots, 32_{1k}, \dots, 32_{1c}; 32_{21}, 32_{22}, \dots, 32_{2k}, \dots, 32_{2c}; 32_{j1}, 32_{j2}, \dots, 32_{jk}, \dots, 32_{jc}; 32_{b1}, 32_{b2}, \dots, 32_{bk}, \dots, 32_{bc}$ の出力を入力とし所定の演算を行うための c 個のニューロン演算部 $33_1, 33_2, \dots, 33_k, \dots, 33_c$ とを備えている。各入力端 $S_1, S_2, \dots, S_j, \dots, S_b$ は、演算装置 20 の出力端 $V_1, V_2, \dots, V_j, \dots, V_b$ （すなわちアップカウンタ UCNT₂₃₄₁, UCNT₂₃₄₂, ..., UCNT_{234j}, ..., UCNT_{234b} の各出力端）に 1 つずつ接続されている。

【0075】配線 31 は、入力ライン $31_{11}, 31_{12}, \dots, 31_{1j}, \dots, 31_{1b}$ の本数が b 本に、データバスライン $31_{21}, 31_{22}, \dots, 31_{2k}, \dots, 31_{2c}$ の本数が c 本に、その他の構成要素についてもそれに対応して数が増えられたことを除き、演算装置 20 の配線 21 と同一の構成を有している。

【0076】シナプス結合演算部 $32_{11}, 32_{12}, \dots, 32_{1k}, \dots, 32_{1c}; 32_{21}, 32_{22}, \dots, 32_{2k}, \dots, 32_{2c}; 32_{j1}, 32_{j2}, \dots, 32_{jk}, \dots, 32_{jc}; 32_{b1}, 32_{b2}, \dots, 32_{bk}, \dots, 32_{bc}$ は、その数が $b \times c$ 個に変更されたことを除き、演算装置 20 のシナプス結合演算部 22_j と同一の構成をそれぞれ有している。

【0077】図13は、ニューロン演算部 $33_1, 33_2, \dots, 33_k, \dots, 33_c$ の簡単な構成を表すものであ

る。各ニューロン演算部33₁, 33₂, ..., 33_k, ..., 33_nは、それぞれ同一の構成を有しているので、便宜上ここでは、ニューロン演算部33_kを代表して説明する。

【0078】ニューロン演算部33_kは、シグモイド特性演算回路333_kで行われる演算の内容が相違し、かつパルス発生回路を備えていないことを除き、演算回路20のニューロン演算部23₁と同一の構成を有している。パルス発生回路を備えていないのは、演算装置30は表示装置40に対し出力を行い、表示装置40ではその表示を行うのみだからである。

【0079】シグモイド特性演算回路333_kは、演算回路20のシグモイド特性演算回路233₁と同様に、メモリRAM333_kにより構成されている。このメモリRAM333_kの各アドレスR₀ ~ R_{13+n}に格納されたデータD₀ ~ D_nは、各アドレスR₀ ~ R_{13+n}値と式7に示す関係を有している。すなわち、式7は、対数変換を行わないことを除き、式6と同一である。対数変換を行わない理由は、パルス発生回路を備えていない理由と同一である。

【0080】

【式7】 $D_{333k} = g(R_{3323k}) = 1 / \{1 + \exp(-R_{3323k})\}$

g ; シグモイド関数

D_{333k} ; アドレスに格納するデータ

R_{3323k} ; アドレス (但し下n桁は切り捨てる)

【0081】表示装置40の構成

【0082】表示装置40では、入力端I₁, I₂, ..., I_k, ..., I_nに対し演算装置30から入力された信号パルスI₁, I₂, ..., I_k, ..., I_nを、適宜の手段により表示する。表示装置40には、ディスプレイやプリンタなどの適宜の手段が用いられる。その入力端I₁, I₂, ..., I_k, ..., I_nは、演算装置30の出力端G₁, G₂, ..., G_k, ..., G_n (すなわちメモリRAM333₁, RAM333₂, ..., RAM333_k, ..., RAM333_nの各出力端)に1つずつ接続されている。

【0083】制御装置50の構成

【0084】制御装置50は、演算装置20, 30に対しそれぞれ供給するデータを記憶するための記憶回路と、データ入力装置10, 演算装置20, 30および表示装置40をそれぞれ制御するための制御信号を発生する制御信号発生回路とを備えている。記憶回路は、各シナプス結合演算部22, 32に対応したシナプス結合荷重Wを記憶するためのメモリと、シナプス結合荷重Wを式2の対数変換するためのルックアップテーブルとを備えている。

【0085】(第1の実施例の作用) 次に、第1の実施例について、その動作および演算速度について説明しつつ、その作用を説明する。

【0086】初期準備動作

【0087】本実施例のニューラルネットワークは、その処理動作に先立ち、制御装置50により、リセット信号RESETおよびセット信号SET_DCNT, SET_UCNT, CLR_REGが発生される。これにより、データ入力装置10および演算装置20, 30のフリップフロップFF, アップカウンタUCNT, ダウンカウンタDCNTおよびレジスタは、初期状態にそれぞれ設定される。また、データ入力装置10および演算装置20, 30のメモリRAMならびに制御装置50の記憶回路には、それぞれの構成の説明において説明した所定のデータが記憶される。

【0088】処理動作

【0089】初期準備動作が終了すると、本実施例のニューラルネットワークは、制御装置50の指示により、まずデータ入力装置10が、識別対象(例えば、アルファベットの1文字)を認識し、そのデータを演算装置20に対して出力する。次いで、演算装置20が、その入力に基づき所定の演算を行い、その結果を演算装置30に対して出力する。更に、演算装置30が、その入力に基づき所定の演算を行い、その結果を表示装置40に対して出力する。最後に、表示装置40が、その入力に基づきその結果を表示する。以下、各装置における処理動作について、それぞれ説明する。

【0090】データ入力装置10での処理動作

【0091】図14および図15は、データ入力装置10での処理動作の流れを表すものである。データ入力装置10では、まず、各認識素子11₁, 11₂, ..., 11_i, ..., 11_nが制御装置50から制御信号を受信すると、識別対象を認識し、その情報を2進数の適宜のデータに変換する。そののち、各認識素子11₁, 11₂, ..., 11_i, ..., 11_nは、データを各レジスタ12₁, 12₂, ..., 12_i, ..., 12_nに対してそれぞれ出力する(ステップS101)。

【0092】各レジスタ12₁, 12₂, ..., 12_i, ..., 12_nは、各認識素子11₁, 11₂, ..., 11_i, ..., 11_nからデータが入力されると、そのデータを保持するとともに、各ルックアップテーブル13₁, 13₂, ..., 13_i, ..., 13_nに対して出力する(ステップS102)。

【0093】各ルックアップテーブル13₁, 13₂, ..., 13_i, ..., 13_nは、各レジスタ12₁, 12₂, ..., 12_i, ..., 12_nからアドレス(すなわち保持データ)R₀ ~ R_nが入力されると、そのアドレスR₀ ~ R_nに格納されたデータLT₀ ~ LT_nを読み出し、各アップカウンタUCNT₁₄₁, UCNT₁₄₂, ..., UCNT_{14i}, ..., UCNT_{14n}に対して出力する。これにより、各レジスタ12₁, 12₂, ..., 12_i, ..., 12_nの保持データR₀ ~ R_nが対数変換される(ステップS103)。

【0094】各アップカウンタUCNT₁₄₁, UCNT₁₄₂, ..., UCNT_{14i}, ..., UCNT_{14n}は、制御装置

21

50からSET_UCNT信号を受信すると、各ルックアップテーブル13₁, 13₂, ..., 13_i, ..., 13_nの出力データLT₀ ~ LT_nをデータ端D₀ ~ D_nに読み込む(ステップS104)。

【0095】次いで、1つのパルス発生回路14_iに制御装置50から基準パルスB₁₀が発信され、フリップフロップFF_{14i}の入力端SETに入力されると、フリップフロップFF_{14i}はその内部状態が“1”に設定され、AND1_{14i}に出力端Qから信号“1”を出力しはじめる(ステップS105)。

【0096】このとき、ルックアップテーブル13_iの出力信号LT₀ ~ LT_nがすべて“0”であると(ステップS106; Y)、AND2_{14i}はAND1_{14i}に対して信号“0”を出力するので、AND1_{14i}はアップカウンタUCNT_{14i}の有効端ENABLEに信号“0”を出力する。アップカウンタUCNT_{14i}は、有効端ENABLEに信号“0”が入力されると、カウント動作を無効とする(ステップS107)。すなわち、アップカウンタUCNT_{14i}は、演算装置20に対して信号パルスS_iを出力しない。

【0097】逆に、ルックアップテーブル13_iの出力信号LT₀ ~ LT_nがすべて“0”でないと(ステップS106; N)、AND2_{14i}はAND1_{14i}に対して信号“1”を出力するので、AND1_{14i}はアップカウンタUCNT_{14i}の有効端ENABLEに信号“1”を出力する。アップカウンタUCNT_{14i}は、有効端ENABLEに信号“1”が入力されると、CLOCK信号を立ち上げ、入力端D₀ ~ D_nに入力されたカウント値(すなわちルックアップテーブル13_iの出力データ)LT₀ ~ LT_nからアップカウントを開始する(図16(a)(b)参照)。適宜の時間経過ののち、アップカウンタUCNT_{14i}は、カウント値が“1111111”となると、桁上げ信号CARRYを“0”から“1”とし、出力端CARRYから演算装置20に対して桁上げ信号CARRYを出力しはじめる(図16(c)参照)。アップカウンタUCNT_{14i}は、また、桁上げ信号CARRYをOR_{14i}を介してフリップフロップFF_{14i}に出力し、その内部状態を“0”に設定する。フリップフロップFF_{14i}は、AND1_{14i}を介してアップカウンタUCNT_{14i}の有効端ENABLEに信号“0”を出力し、アップカウンタUCNT_{14i}のカウント動作を無効とする。これにより、アップカウンタUCNT_{14i}は、桁上げ信号CARRYを“1”から“0”とし、演算装置20に対して桁上げ信号CARRYの出力を停止する。従って、アップカウンタUCNT_{14i}は、信号パルスS_iを基準パルスB₁₀から所定の時間遅延させて、演算装置20に対し出力することになる。これにより、対数変換されたレジスタ12_iの保持データが、2進数による表現から信号パルスS_iと基準パルスB₁₀とのパルス間隔T_{1i}・tによる表現に変換さ

22

れる。この信号パルスS_iは、データ入力装置10の出力端V_iから演算装置20に対して出力される(ステップS108)。ちなみに、図16では、ルックアップテーブル13_iの出力が“1111100”である場合を表している。

【0098】1つのパルス発生回路14_iに制御装置50から基準パルスB₁₀が発信されて所定の時間の経過ののち(ステップS109; Y)、次の1つのパルス発生回路14_{i+1}に制御装置50から基準パルスB₁₀が発信されると、次の1つのパルス発生回路14_{i+1}も1つのパルス発生回路14_iと同様にステップS105~ステップS108の動作をする。このようにして、全てのパルス発生回路14₁, 14₂, ..., 14_i, ..., 14_nが動作する(ステップS110)。なお、基準パルスB₁₀は、一定の間隔で発生されていることが好ましい。また、この間隔は、202t以上であることが好ましい。

【0099】演算装置20での処理動作

【0100】図17および図18は、演算装置20での処理動作の流れを表すものである。なお、各シナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1n}および各ニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_nは、基準パルスB₁₀および1つの信号パルスS_iが入力されると、それぞれ平行して同様の処理を行うので、ここでは、シナプス結合演算部22_{1j}およびニューロン演算部23_jを代表して説明する。

【0101】演算装置20では、まず、各ニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_nの各変換回路23₁₁, 23₁₂, ..., 23_{1j}, ..., 23_{1n}に制御装置50から基準パルスB₁₀が発信される。この基準パルスB₁₀は、データ入力装置10のフリップフロップFF_{14i}に制御装置50から発信された基準パルスB₁₀と同一である。変換回路23_{1j}のカウント23_{11j}では、フリップフロップFF_{2311j}の入力端SETに基準パルスB₁₀が入力される。フリップフロップFF_{2311j}は、その内部状態が“1”に設定され、ダウンカウンタDCNT_{2311j}の各有効端ENABLEに信号“1”を出力しはじめる。ダウンカウンタDCNT_{2311j}は、これにより、CLOCK信号を立ち上げ、“11001001”からダウンカウントをそれぞれ開始する(ステップS201)。

【0102】適宜の時間の経過ののち、データ入力装置10から信号パルスS_iが演算装置20の入力端S_iに入力されると、入力ライン21₁₁および各接続ライン21₁₃₁₁, 21₁₃₁₂, ..., 21_{131j}, ..., 21_{131n}を介して各シナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1n}に信号パルスS_iが入力される(ステップS202)。

【0103】シナプス結合演算部22_{1j}の遅延素子22_{11j}は、入力端INに信号パルスS_iが入力されると、設定された遅延時間T_{1j}だけ信号パルスS_iを遅延さ

せて、出力端OUTからインバータ214₁₁に対して信号パルスDS₁₁を出力する(図16(d)参照;ちなみに、図16では、遅延時間T₁₁tが4tである場合について表している)。これにより、シナプス結合荷重W₁₁の乗算が行われる(但し、W₁₁≠0)(ステップS203)。従って、シナプス結合荷重W₁₁の乗算を信号パルスS₁の遅延のみで簡単に実行でき、シナプス結合演算部22₁₁のゲート数を削減できる。

【0104】このとき、シナプス結合荷重W₁₁が0であると(ステップS204;Y)、開閉スイッチ222₁₁は、制御装置50の制御により接続ライン213₁₁を遮断し、信号パルスDS₁₁をインバータ214₁₁に対して出力しないようにする(ステップS205)。これにより、シナプス結合荷重W₁₁が“0”の場合の乗算が行われる。逆に、シナプス結合荷重W₁₁が0でないと(ステップS204;N)、開閉スイッチ222₁₁は、制御装置50の制御により接続ライン213₁₁を遮断せず、信号パルスDS₁₁をインバータ214₁₁に対して出力するようにする。

【0105】インバータ214₁₁は、シナプス結合演算部22₁₁の出力が入力されると、信号を反転し、データバスライン212₁を介してニューロン演算部23₁に対し信号パルスDS₁’を出力する(ステップS206)。

【0106】ニューロン演算部23₁の変換回路231₁では、カウンタ2311₁のOR2311₁に信号パルスDS₁’が入力されると、OR2311₁がフリップフロップFF2311₁のCLEAR端に信号“1”を出力する。これにより、フリップフロップFF2311₁の内部状態が“0”に設定され、ダウンカウンタDCNT2311₁の有効端ENABLEに出力端Qから信号“0”を出力しはじめる。ダウンカウンタDCNT2311₁は、有効端ENABLEに信号“0”が入力されると、カウント動作を終了する。なお、データ入力装置10から信号パルスS₁が出力されなかった場合およびシナプス結合演算部22₁₁から信号パルスDS₁₁が出力されなかった場合は、信号パルスDS₁’がOR2311₁に入力されないで、ダウンカウンタDCNT2311₁は“00000000”までダウンカウントを行う。ダウンカウンタDCNT2311₁は、カウント値が“00000000”となると桁借り信号BORROWを“0”から“1”とし、出力端BORROWから桁借り信号BORROWをOR2311₁を介してフリップフロップFF2311₁に出力し、その内部状態を“0”に設定する。フリップフロップFF2311₁は、ダウンカウンタDCNT2311₁の有効端ENABLEに出力端Qから信号“0”を出力し、ダウンカウンタDCNT2311₁のカウント動作を終了させる。これにより、カウント値CNT₀~CNT₇(すなわち信号パルスDS₁’と基準パルスB₁₀とのパルス間隔T₁・t)が求められる(ステップS207)(図16参

照;ちなみに、図16では、遅延時間T₁・tが7tであり、カウント値CNT₀~CNT₇が“11000011”(10進数では195)である)。

【0107】ダウンカウンタDCNT2311₁は、カウント動作終了ののち、カウント値CNT₀~CNT₇を出力端Q₀~Q₇からルックアップテーブル2312₁に対し出力する。ダウンカウンタDCNT2311₁は、そののち、制御装置50からLOAD端にSET_DCNT信号が再び入力されると、データ端D₀~D₇に“11001001”を読み込む。

【0108】ルックアップテーブル2312₁は、ダウンカウンタDCNT2311₁からカウント値CNT₀~CNT₇が入力されると、そのアドレスCNT₀~CNT₇に格納されたデータLT₀~LT₁₃を読み出し、加算回路232₁に対して出力する。これにより、カウント値CNT₀~CNT₇(すなわちパルス間隔T₁・tの係数T₁・t)が指数変換され、対数変換された状態が解除される(ステップS208)。

【0109】加減算回路232₁の選択回路2321₁は、ルックアップテーブル2312₁の出力データLT₀~LT₁₃が入力端A₀~A₁₃に入力されると、そのまま出力端Y₀~Y_{13+m}から加減算器2322₁に対してデータLT₀~LT₁₃を出力する(ステップS209)。

【0110】加減算器2322₁は、選択回路2321₁からデータLT₀~LT₁₃が入力端A₀~A_{13+m}に入力されると、レジスタ2323₁から入力端B₀~B_{13+m}にその保持データR₀~R_{13+m}を読み出す。そののち、加減算器2322₁は、制御装置50から制御端ADD/SUBへ入力された制御信号により加算か減算かを決定し、入力端A₀~A_{13+m}に入力された入力データLT₀~LT₁₃をレジスタ2323₁の保持データR₀~R_{13+m}に対し加算または減算する(ステップS210)。なお、最初の信号LT₀~LT₁₃を処理するときは、レジスタ2323₁の保持データR₀~R_{13+m}がゼロであるので、加減算器2322₁は、入力端A₀~A_{13+m}への入力データLT₀~LT₁₃をゼロに加算または減算することになる。また、加減算器2322₁の入力端A₀~A_{13+m}にデータLT₀~LT₁₃が入力される際には、データLT₀~LT₁₃の桁数が14であるのに対し入力端A₀~A_{13+m}の桁数が14+mであるので、14+1桁以上には“0”が補われる。加減算器2322₁は、このようにして加減算した結果を、出力端S₀~S_{13+m}からレジスタ2323₁に対して出力する。

【0111】レジスタ2323₁は、加減算器2322₁の出力がレジスタ2323₁の入力端D₀~D_{13+m}に入力されると、書込端WTに制御装置50から制御信号WT_REGを受信することにより、データを内部に保持する(ステップS211)。

【0112】ここで、加減算器2322₁が信号パルス

$S_1, S_2, \dots, S_i, \dots, S_n$ にそれぞれ対応する全ての信号パルス DS_i^* について処理を行うまで（すなわち a 回処理を行うまで）、シナプス結合演算部 221_{i+1}, 変換回路 231_i, および加減算回路 232_i は、次の基準パルス B_{10} および信号パルス S_{i+1} が入力されると、順次、ステップ S201～ステップ S211 を繰り返して行う（ステップ S212）。

【0113】そののち、加減算回路 232_i の選択回路 2321_i は、入力端 $B_0 \sim B_{13+n}$ への入力を出力に選択し、加減算器 2322_i に対してしきい値を出力する（ステップ S213）。加減算器 2322_i は、ステップ S210 と同様にして、レジスタ 2323_i の保持データ $R_0 \sim R_{13+n}$ を読み出し、それに対し、しきい値の減算を行う（ステップ S214）。

【0114】レジスタ 2323_i にしきい値を減算した後のデータが保持されると、シグモイド特性演算回路 233_i は、レジスタ 2323_i から保持データ $R_0 \sim R_{13+n}$ を読み出しデータ入力端 $AD_0 \sim AD_{13}$ に入力する。このとき、アドレス $R_0 \sim R_{13+n}$ のうち下 m 桁は切り捨てる。シグモイド特性演算回路 233_i は、アドレス $R_0 \sim R_{13+n}$ が入力されると、アドレス $R_0 \sim R_{13+n}$ に格納されたデータ $D_0 \sim D_6$ を読み出し、パルス発生回路 234_i に対して出力する。これにより、シグモイド関数変換と対数変換がされる（ステップ S215）。

【0115】パルス発生回路 234_i は、制御装置 50 から SET_UCNT 信号を受信することにより、アップカウンタ UCNT_{234i} のデータ端 $D_0 \sim D_6$ にシグモイド特性演算回路 233_i の出力データ $G_0 \sim G_6$ を読み込む（ステップ S216）。

【0116】次いで、パルス発生回路 234_i に制御装置 50 から基準パルス B_{20} が発信され、フリップフロップ FF_{234i} の入力端 SET に入力されると、パルス発生回路 234_i は、データ入力装置 10 のパルス発生回路 14_i と同様にして、信号パルス S_i を出力端 CARRY から演算装置 30 に対して出力する。これにより、演算装置 20 の出力端 V_i から信号パルス S_i が演算装置 30 に対して出力される（ステップ S217）。

【0117】演算装置 30 の動作

【0118】演算装置 30 では、シグモイド特性演算回路 333₁, 333₂, ..., 333_k, ..., 333_n が対数変換を行わないこと、およびパルス発生回路による処理を行わないことを除き、演算装置 20 と同様の処理動作を行う。従って、ここではその詳細な説明は省略する。なお、シグモイド特性演算回路 333₁, 333₂, ..., 333_k, ..., 333_n は、その出力を表示装置 40 に対して行う。

【0119】表示装置 40 の動作

【0120】表示装置 40 では、演算装置 30 から 2 進数で表現されたデータ $I_1, I_2, \dots, I_k, \dots, I_n$ が各入力端 $I_1, I_2, \dots, I_k, \dots, I_n$ にそれぞれ入力され

ると、そのデータをそれぞれ表示する。例えば、初期設定においてアルファベット 26 文字を識別するようにシナプス結合荷重 W を設定した場合には、演算装置 30 からアルファベット文字に 1 つずつ対応された 26 個のデータ I が入力され、その中の 1 つが大きな値を示すようになる。

【0121】演算速度

【0122】ここで、本実施例のニューラルネットワークの演算速度について説明する。ここにおいては、説明を簡素化する目的で、データ入力装置 10 の認識素子 11 の数を 1000（すなわち $a=1000$ ）、演算装置 20, 30 のそれぞれのニューロン演算部 23, 33 の数を 1000（すなわち $b, c=1000$ ）、クロックの周波数を 200 MHz（クロック周期は 5 ns（すなわち遅延時間の 1 単位 $t=5\text{ ns}$ ））として説明する。

【0123】まず、データ入力装置 10 の 1 つのパルス発生回路 14_i が演算装置 20 に信号パルス S_i を出力するために必要な時間は、信号パルス S_i の基準パルス B_{10} に対する遅延時間が最大 101 t であるので、101 にクロック周期 5 ns をかけた 505 ns である。次に、演算装置 20 の遅延素子 221_i が信号パルス S_i を遅延させるのに必要な時間は、最大 100 t であるので、500 ns である。よって、演算装置 20 の変換回路 231_i が信号パルス DS_i^* の遅延時間を測定するのに必要な時間は、最大 201 t すなわち 1005 ns である。

【0124】また、ニューロン演算部 23_i では、データ入力装置 10 のパルス発生装置 14_i が出力する全ての信号パルス S_i について処理をするので、ここでは、1000 回処理を行うことになる。よって、それに必要な時間は、1005 ns に 1000 をかけた 1005 μs （すなわち約 1 ms）である。なお、各ニューロン演算部 23₁, 23₂, ..., 23_k, ..., 23_n はそれぞれ並列して処理をおこなうので、演算装置 20 の必要な処理時間は、この時間と同一であり、1 ms である。よって、ニューラルネットワーク全体（すなわち演算装置 20 と演算装置 30 あわせて）の処理時間は、2 ms である。

【0125】また、このニューラルネットワークの 1 秒間あたりの処理結合数は、結合数が 200 万（ $1000 \times 1000 \times 2 = 200\text{ 万}$ ）であるので、 $200\text{ 万} / 2\text{ ms} = 1\text{ GCP S}$ (Giga Connections Per Second) である。一般的なニューラルネットワークの 1 秒間あたりの処理結合数が、数百 MCP S (Mega Connections Per Second) であることと比較すると、高速処理が可能となることがわかる。

【0126】（第 1 の実施例の効果）

【0127】このように、本実施例によれば、遅延素子によりシナプス結合荷重 W の乗算を実行するので、乗算器に比べて回路規模を小さくでき、高集積化を図ること

27

ができる。また、ニューロン演算回路への入力または出力をパルスにより行うことができ、演算精度を高精度とできる。更に、ハードウェアによりニューラルネットワークを実現でき、高速演算を可能とできる。加えて、遅延素子の遅延時間の設定を容易に変更することができ、すなわちシナプス結合荷重 W を容易に変更できる。

【0128】（第2の実施例）

【0129】次に、第2の実施例について、その構成および作用を説明する。図19は、第2の実施例に係るニューラルネットワークのための回路の構成を表すものである。

【0130】本実施例の回路は、シナプス結合演算を行うためのシナプス結合演算回路60と、ニューロンモデルを実現するためのニューロン演算回路70と、シナプス結合演算回路60とニューロン演算回路70とを接続する配線に対し配設された共通負荷80とを備えている。

【0131】シナプス結合演算回路60は、 a 個の入力端 $S_1, S_2, \dots, S_1, \dots, S_a$ と b 個の出力端 $DS_1^*, DS_2^*, \dots, DS_1^*, \dots, DS_b^*$ とをそれぞれ互いに接続するための配線24と、各入力端 $S_1, S_2, \dots, S_1, \dots, S_a$ と各出力端 $DS_1^*, DS_2^*, \dots, DS_1^*, \dots, DS_b^*$ との間にそれぞれ挿入された $a \times b$ 個のシナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1b}; 22₂₁, 22₂₂, ..., 22_{2j}, ..., 22_{2b}; 22₃₁, 22₃₂, ..., 22_{3j}, ..., 22_{3b}; 22₄₁, 22₄₂, ..., 22_{4j}, ..., 22_{4b}とを備えている。

【0132】配線24は、共通負荷215₁, 215₂, ..., 215_j, ..., 215_bが削除されたことを除き、第1の実施例の配線21と同一の構成を有している。各シナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1b}; 22₂₁, 22₂₂, ..., 22_{2j}, ..., 22_{2b}; 22₃₁, 22₃₂, ..., 22_{3j}, ..., 22_{3b}; 22₄₁, 22₄₂, ..., 22_{4j}, ..., 22_{4b}のそれぞれは、第1の実施例のシナプス結合演算部22_{1j}と同一の構成を有している。従って、同一の構成要素にはそれぞれ同一の符号を付して、それらの詳細な説明は省略する。

【0133】ニューロン演算回路70は、 b 個のニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_bを備えている。このニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_bのそれぞれは、第1の実施例のニューロン演算部23_jと同一の構成を有しているため、同一の構成要素には同一の符号を付して、その詳細な説明は省略する。

【0134】すなわち、本実施例の回路は、第1の実施例の演算装置20の各シナプス結合演算部22₁₁, 22₁₂, ..., 22_{1j}, ..., 22_{1b}; 22₂₁, 22₂₂, ..., 22_{2j}, ..., 22_{2b}; 22₃₁, 22₃₂, ..., 22_{3j}, ..., 22_{3b}; 22₄₁, 22₄₂, ..., 22_{4j}, ..., 22_{4b}と、

28

各ニューロン演算部23₁, 23₂, ..., 23_j, ..., 23_bとを分離したものである。

【0135】本実施例の回路は、このように、シナプス結合演算回路60とニューロン演算回路70とを分離しているため、図20に表すように、これらを複数組み合わせることにより、ニューラルネットワークの結合数を自由に増加することができる。

【0136】なお、上記説明では、シナプス結合演算回路60の出力端 DS^* の数 b と、ニューロン演算回路70のニューロン演算部23の数 b とを同一として説明したが、これに限るものではなく、ニューロン演算部23の数を c とし、シナプス結合演算回路60の出力端 DS^* の数 b と相違してもよい。

【0137】以上実施例を挙げて本発明を説明したが、本発明は上記実施例に限定されるものではなく、その均等の範囲で種々変形可能である。例えば、本発明は、相互結合型のニューラルネットワークなどを構築した場合にも適用可能である。

【0138】

【発明の効果】以上説明したように請求項1ないし請求項3記載のニューラルネットワークによれば、信号パルスを遅延させることによりシナプス結合荷重の乗算を実行するので、(i)回路規模を小さくでき、高集積化を図ることができるという効果を奏する。また、(ii)ニューロンモデルへの入力をパルスにより行うことができ、演算精度を高精度とできるという効果を奏する。更に、(iii)ハードウェアによりニューラルネットワークを実現でき、高速演算を可能とできるという効果を奏する。

【0139】特に、請求項2記載のニューラルネットワークによれば、シナプス結合演算手段を遅延時間の設定または変更が容易な遅延素子により構成するので、(iv)シナプス結合荷重を容易に変更できるという効果を奏する。

【0140】更に、請求項3記載のニューラルネットワークによれば、シナプス結合演算手段が開閉スイッチをそなえているため、(v)シナプス結合荷重がゼロであっても容易に対応可能とできるという効果を奏する。

【0141】また、請求項4ないし請求項8記載のシナプス結合演算回路によれば、(vi)ニューロンモデルへの各入力に対するシナプス結合荷重の乗算を信号の遅延により実行することができるという効果を奏する。すなわち、このシナプス結合演算回路を用いることにより、上記(i)～(iii)の効果を奏するニューラルネットワークを構築できるという効果を奏する。

【0142】特に、請求項7記載のシナプス結合演算回路によれば、上記(iv)の効果を奏し、更に、請求項8記載のシナプス結合演算回路によれば、上記(v)の効果を奏する。

【0143】加えて、請求項5または請求項6記載のシナプス結合演算回路によれば、データバスラインにより

すくなくとも1以上のシナプス結合演算手段からの出力を1つにまとめるので、(vii)配線の数を減少できるという効果を奏する。すなわち、配線を簡素化でき、回路の設計を容易とできるという効果を奏する。

【0144】加えてまた、請求項4ないし請求項8記載のシナプス結合演算回路によれば、(viii)複数結合することによりニューロンモデルへの入力数を自由に増加することができるという効果を奏する。

【0145】更に、請求項9のニューロン演算回路によれば、ニューロンモデルへの入力を2進数に変換したのち指数変換したニューロンモデルからの出力を対数変換したのちパルス信号に変換するので、(ix)シナプス結合荷重の乗算を信号パルスの基準パルスに対する遅延時間の加算に変換できるという効果を奏する。すなわち、このニューロン演算回路を用いることにより、上記(i)～(iii)の効果を奏するニューラルネットワークを構築できるという効果を奏する。また、(x)複数結合することによりニューロンモデルの数を自由に増加することができるという効果を奏する。

【0146】加えて、請求項10のニューラルネットワークのための回路によれば、上記(vi)および(ix)の効果を奏する。すなわち、この回路を用いることにより、上記(i)～(iii)の効果を奏するニューラルネットワークを構築できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るニューラルネットワークの構成を表すブロック図である。

【図2】図1に示した実施例のデータ入力装置の構成を表すブロック図である。

【図3】図2に示したデータ入力装置の認識素子、レジスタ、ルックアップテーブルおよびパルス発生回路のそれぞれの構成を表す回路図である。

【図4】図1に示した実施例の中間層としての演算装置の構成を表す回路図である。

【図5】図4に示した演算装置のシナプス結合演算部の構成を表す回路図である。

【図6】図4に示した演算装置のニューロン演算部の構成を表すブロック図である。

【図7】図6に示したニューロン演算部の変換回路の構成を表す回路図である。

【図8】図6に示したニューロン演算部の加減算回路の構成を表す回路図である。

【図9】図6に示したニューロン演算部のシグモイド特性演算回路の構成を表す回路図である。

【図10】図9に示したシグモイド特性演算回路で行うシグモイド関数変換のシグモイド関数の特性を表すグラフである。

【図11】図6に示したニューロン演算部のパルス発生回路の構成を表す回路図である。

【図12】図1に示した実施例の出力層としての演算装置の構成を表す回路図である。

【図13】図12に示した演算装置のニューロン演算部の構成を表す回路図である。

【図14】図1に示した実施例のデータ入力装置の処理動作を説明するための流れ図である。

【図15】図1に示した実施例のデータ入力装置の処理動作を説明するための流れ図である。

【図16】図1に示した実施例のクロック、基準パルス B_{10} 、信号パルス S_i および信号パルス DS_{11} との関係を説明するための波形図である。

【図17】図1に示した実施例の中間層としての演算装置の処理動作を説明するための流れ図である。

【図18】図1に示した実施例の中間層としての演算装置の処理動作を説明するための流れ図である。

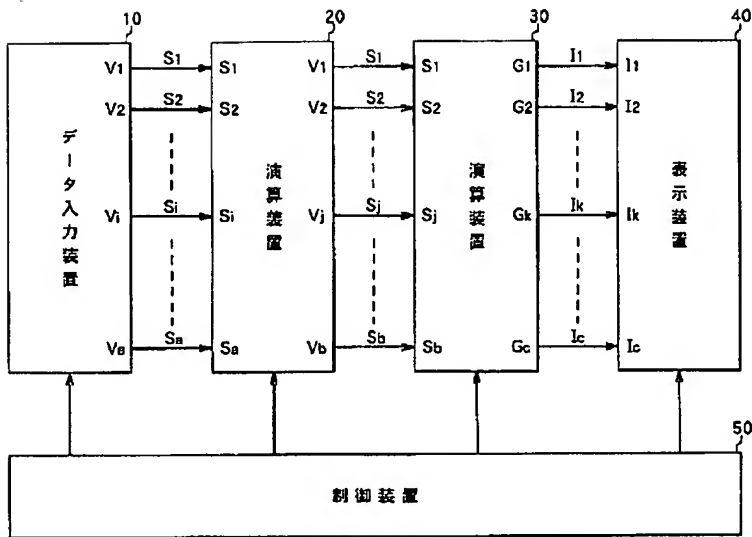
【図19】本発明の第2の実施例に係る集積回路の構成を表す回路図である。

【図20】図19に示した実施例の一使用態様を説明するための構成図である。

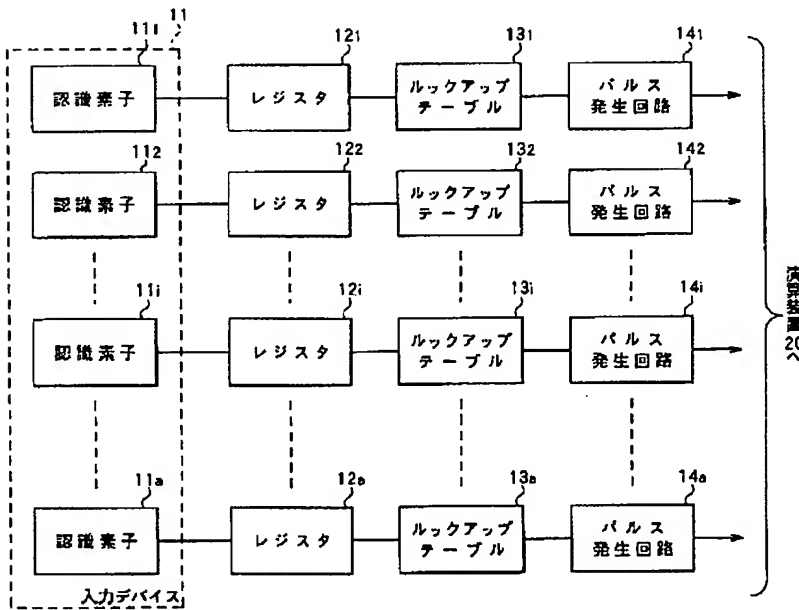
【符号の説明】

- 10 データ入力装置
- 11 認識素子
- 12 レジスタ
- 13 ルックアップテーブル
- 14 パルス発生回路
- 20, 30 演算装置
- 21, 31, 24 配線
- 211, 311 入力ライン
- 212, 312 データバスライン
- 22, 32 シナプス結合演算部
- 221, 321 遅延素子
- 222, 322 開閉スイッチ
- 23, 33 ニューロン演算部
- 231, 331 変換回路
- 2311, 3311 カウンタ
- 2312, 3312 ルックアップテーブル
- 232, 332 加減算回路
- 233, 333 シグモイド特性演算回路
- 234 パルス発生回路
- 40 表示装置
- 50 制御装置
- 60 シナプス結合演算回路
- 70 ニューロン演算回路
- 80 共通負荷

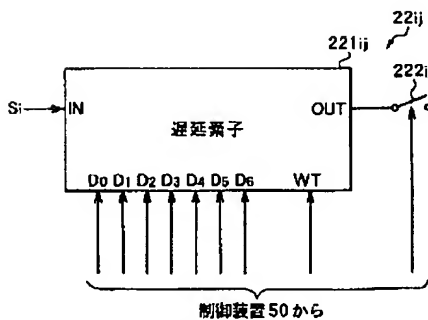
【図 1】



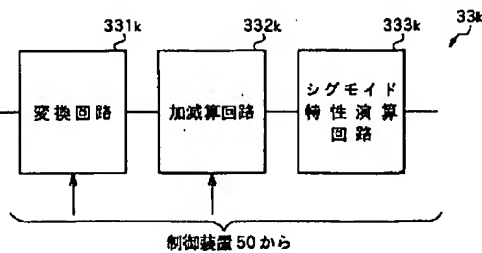
【図 2】



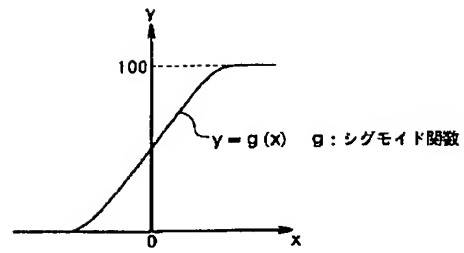
【図 5】



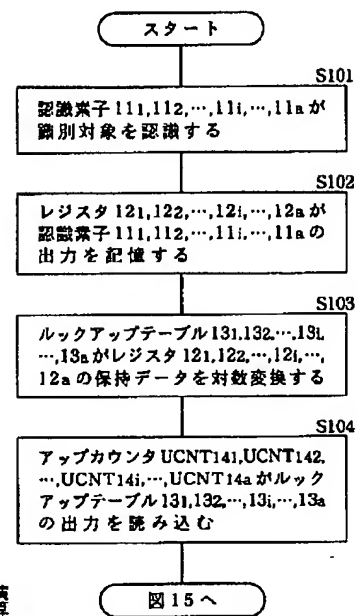
【図 13】



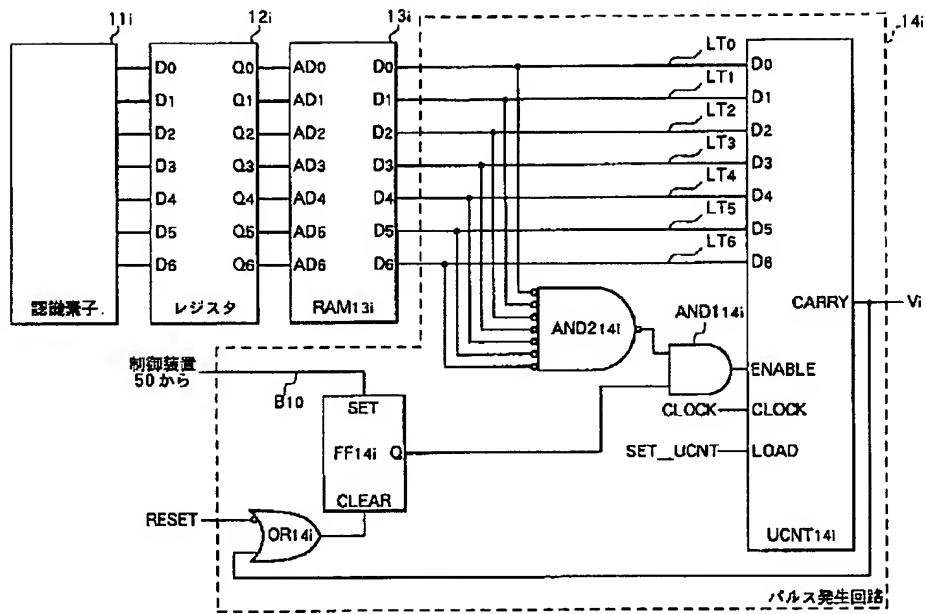
【図 10】



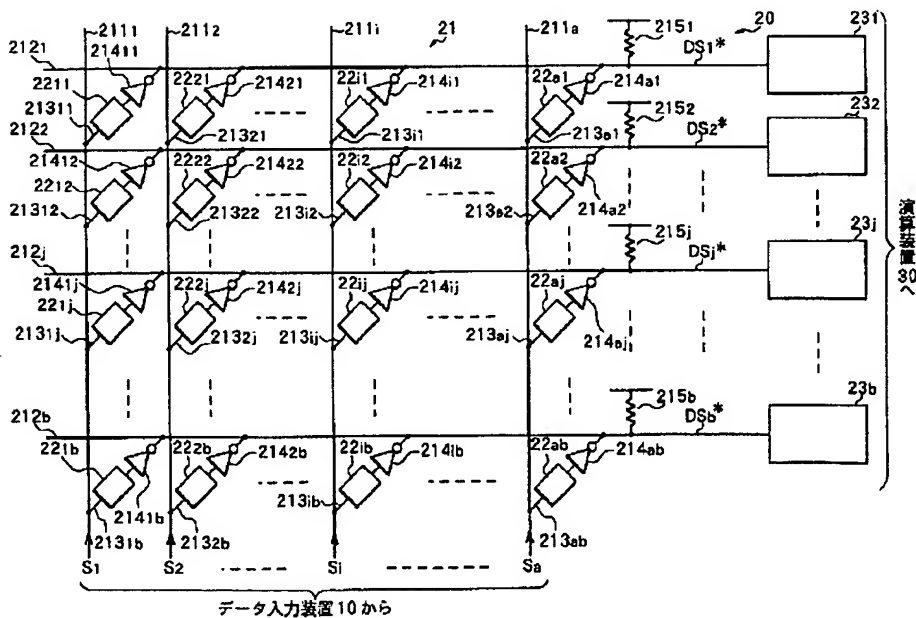
【図 14】



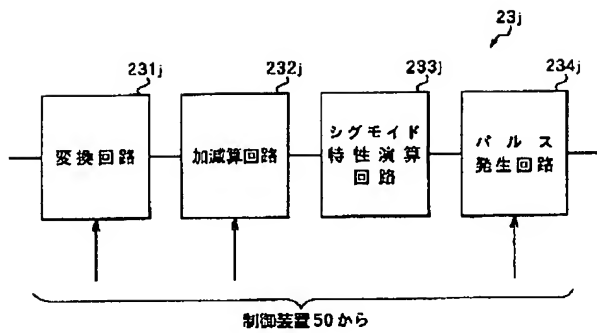
【図3】



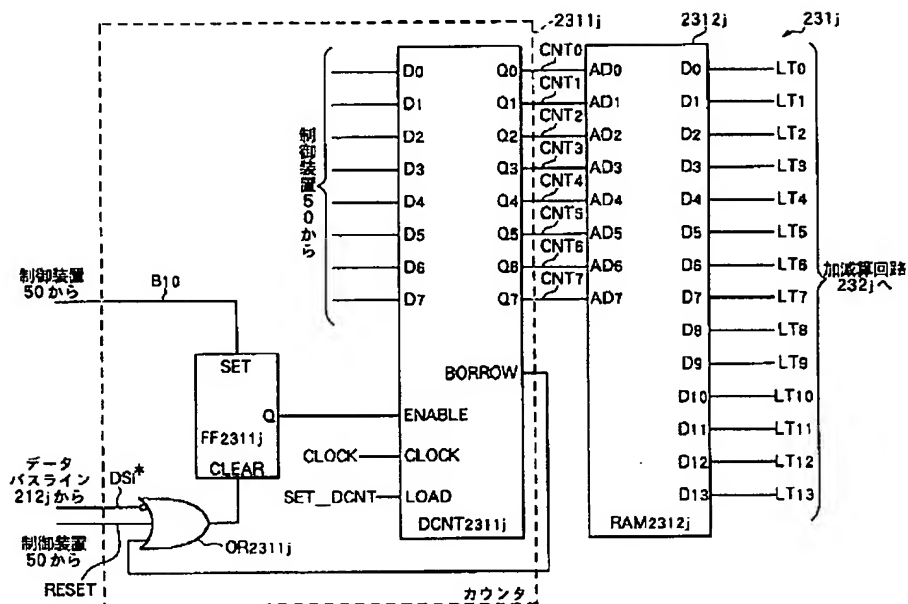
【図4】



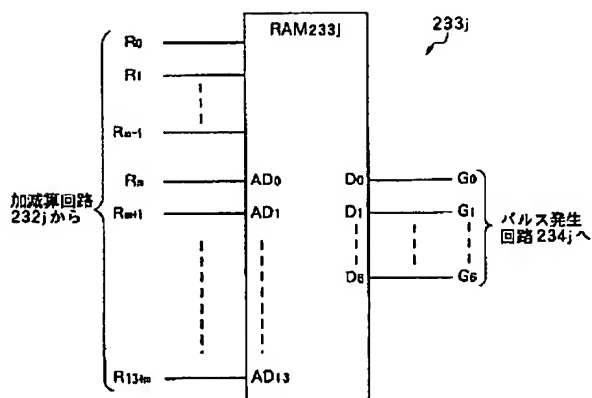
【図 6】



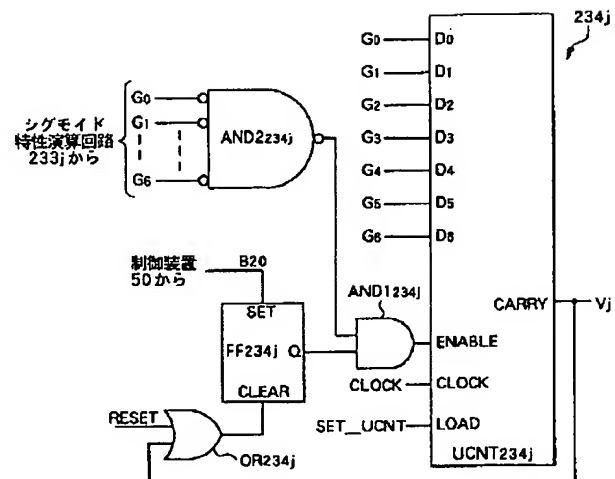
【図 7】



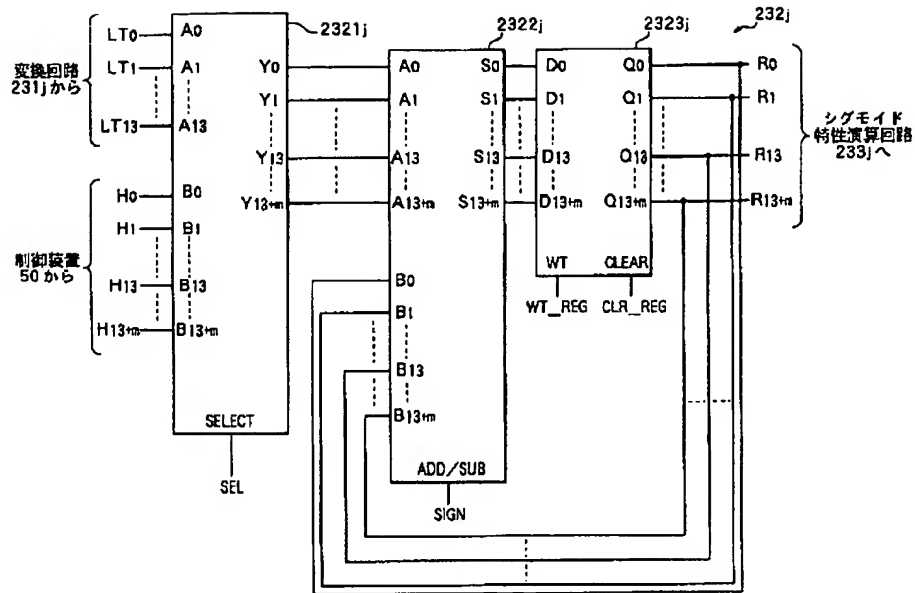
【図 9】



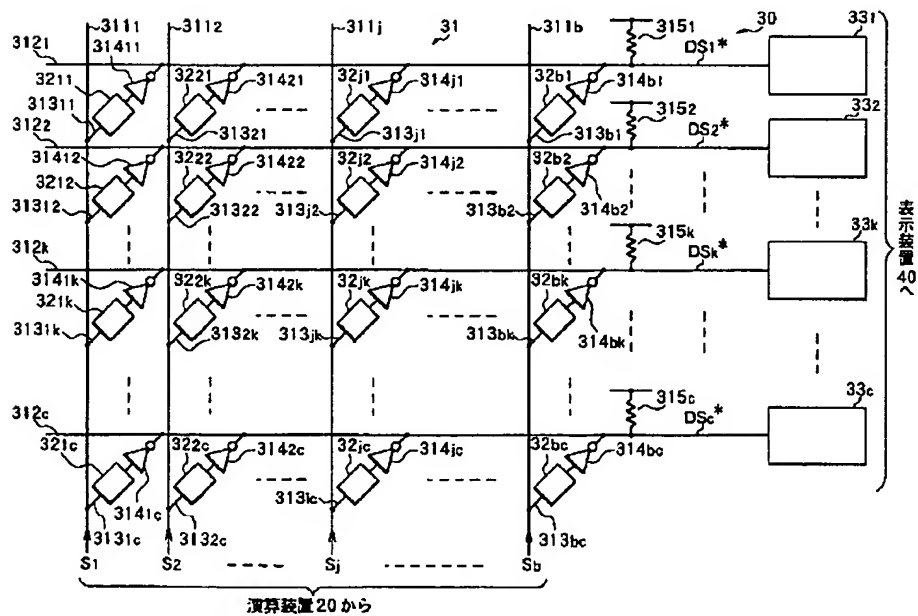
【図 11】



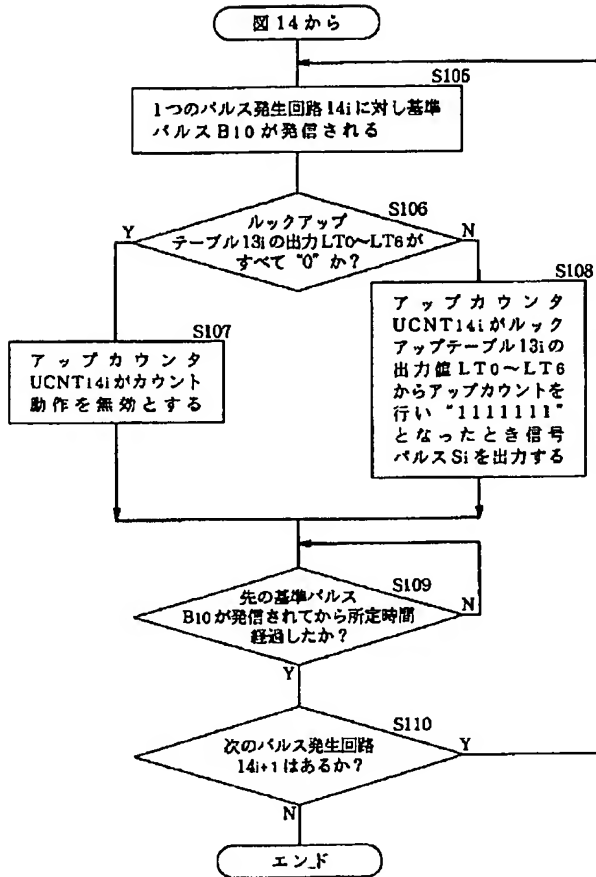
【図8】



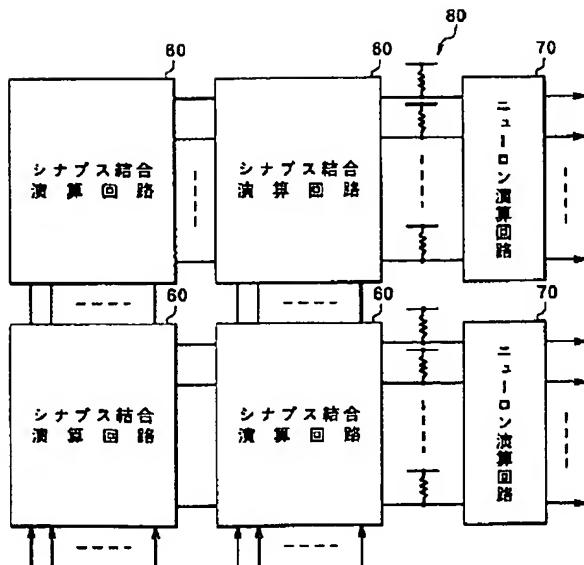
【図12】



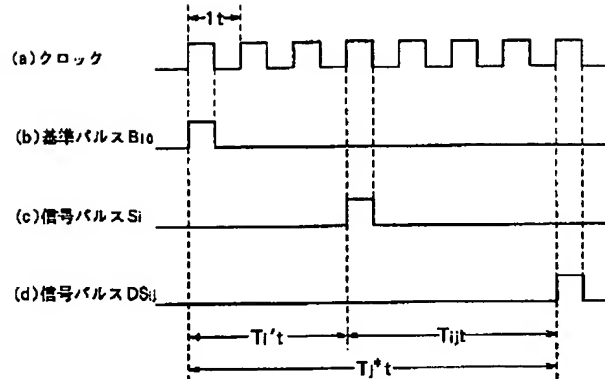
【図15】



【図20】



【図16】



【図17】

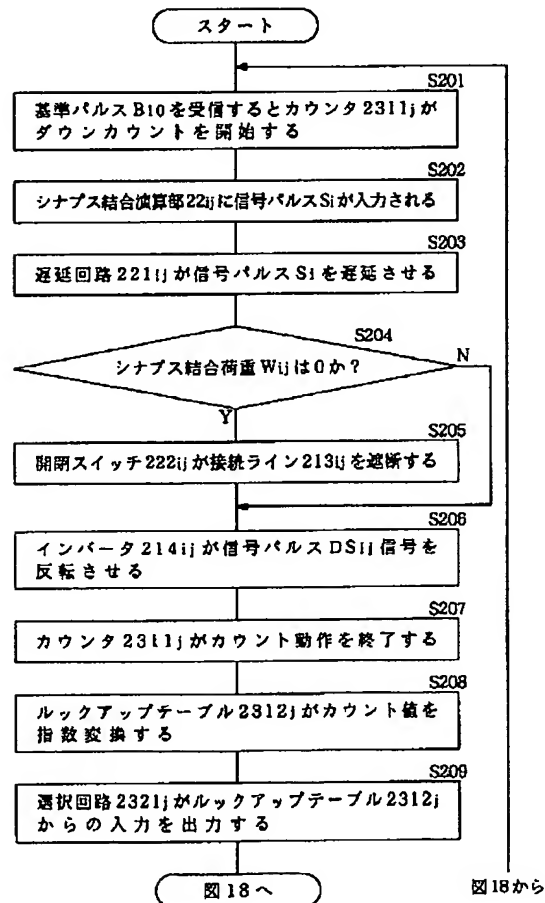
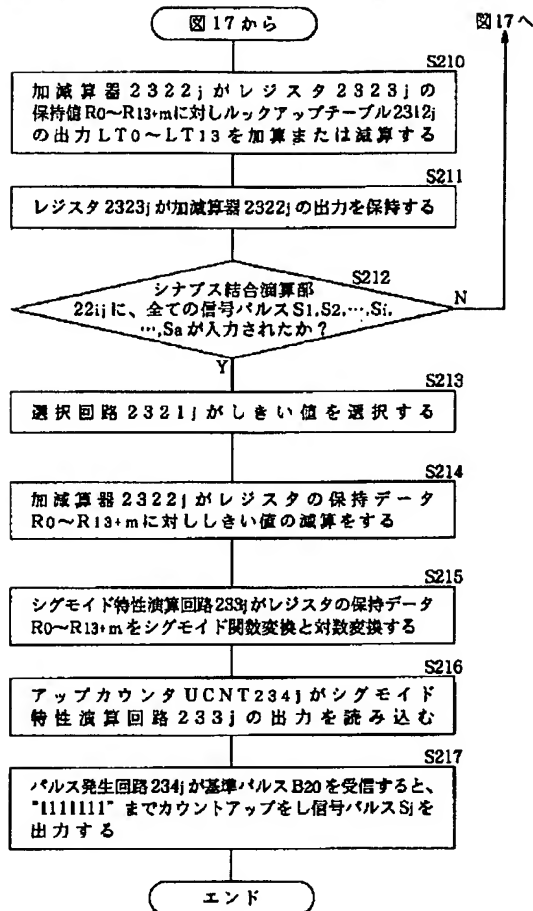


図18から

【図18】



【図19】

